

**МІНІСТЕРСТВО АГРАРНОЇ ПОЛІТИКИ УКРАЇНИ  
ВІННИЦЬКИЙ ДЕРЖАВНИЙ АГРАРНИЙ УНІВЕРСИТЕТ**

**Кафедра економічної  
кібернетики та інформатики**

**ЕЛЕКТРОТЕХНІКА ТА МІКРОПРОЦЕСОРНА ТЕХНІКА**

**МЕТОДИЧНІ ВКАЗІВКИ**

**для виконання лабораторних робіт  
навчальної дисципліни для підготовки бакалаврів  
факультету «Механізація сільського господарства»  
спеціальності 6.050501 – «Машинобудування»**

Вінниця 2009

Методичні вказівки для виконання лабораторних робіт з курсу "Електротехніка та мікропроцесорна техніка" для студентів факультету Механізації сільського господарства денної форми навчання спеціальності 6.050501 - "Машинобудування" /Укладачі: Паламарчук Є.А., Яцковська Р.О. / Вінниця: ВЦ ВДАУ,2009.-39 с.

**Укладачі:** Паламарчук Є.А., доцент, канд. техн. Наук  
Яцковська Р.О., асистент

**Рецензенти:** Кравченко Ю.С., к.т.н., доцент кафедри електроніки Вінницького національного технічного університету  
Гуцаленко О.В., к.т.н, доцент кафедри тракторів, автомобілів та технічного сервісу машин Вінницького державного аграрного університету

#### *Коротка анотація*

Методичні вказівки для виконання лабораторних робіт з курсу «Електротехніка та мікропроцесорна техніка» містять структурно-модульну схему, розбиття дисципліни на модулі та розподіл балів за категоріями діяльності студента, мету і завдання до кожної лабораторної роботи, вимоги до оформлення лабораторних робіт та список рекомендованої літератури.

Призначені для використання студентами напряму підготовки 6050 «Механізація сільського господарства» спеціальності 6.050501 - "Машинобудування"

### **НАУКОВО - МЕТОДИЧНЕ ВИДАННЯ**

**Рекомендовано науково-методичною радою  
Вінницького державного аграрного університету  
протокол № \_\_ від „\_\_” \_\_\_\_\_ 2009 р..**

- Видавничий центр ЛНУ імені Івана Франка, 2005 р. – 240 с.
16. Гаврилук І.П., Макаров В.Л. Методи обчислень. – К.: Вища школа, 2005. Ч. 1, 2. -526с.
  17. Глибовець М.М., Оливецький О.В. Штучний інтелект. – К.: академія, 2002. -375с.
  18. Грэй П. Логіка, алгебра і бази даних. – М.: Машиностроение, 2000. -456с.
  19. Г.Г. Злобін, Р.Є. Рикалюк. Архітектура та апаратне забезпечення ПЕОМ. – К.: Каравела, 2006. -499с.
  20. Люгер Д. Искусственный интеллект. – СПб.: Вильямс, 2003. -269с.
  21. 2. Муха І.С., Дяконюк Л.М. Чисельні методи лінійної алгебри. – Львів:Видавничий центр ЛНУ імені Івана Франка, 2006. – 349с.
  22. Муха І.С., Коссак О.С. Методичні рекомендації до розв'язування задач механіки суцільного середовища. – Львів: Вид-во ЛНУ. – 2002. -450с.
  23. Нікольський Ю.В., Пасічник В.В., Щербина Ю.М. Дискретна математика. – Л.: магнолія Плюс, 2005. -255с.
  24. Остудін Б.А., Шинкаренко Г.А. Методи функціонального аналізу в обчислювальній математиці. – Львів: Світ поліграфії, 2002. – 324 с.
  25. Я.Савула. Числовий аналіз задач математичної фізики варіаційними методами. Львів: Видавничий центр ЛНУ імені Івана Франка, 2004. – 231 с.
  26. Самарский А.А., Гулин А.В. Численные методы. – М.: Наука, 2002. -398с.
  27. Сеньо П.С. Випадкові процеси. – Л.: Компакт-ЛВ, 2006. - 455с.
  28. Треногин В.А. Функциональный анализ. Изд. 3-е, исправленное. – М.: Физматгиз, 2002. – 458 с.
  29. Черных К.Ф. Введение в МСС.-Л.:Машиностроение.-2003. -379с.
  30. Черняхівський В.В. Делфі 4.Сучасні технології візуального програмування. 2004. -456с.
  31. Цегелик Г.Г. Чисельні методи. – Львів: Світ, 2005. 334с.

## Зміст

Вступ .....	4
Лабораторна робота № 1 .....	9
Лабораторна робота № 2 .....	16
Лабораторна робота № 3 .....	21
Лабораторна робота № 4 .....	27
Питання до заліку .....	35
Список рекомендованої літератури.....	37

## Вступ

Мета - поглиблення і закріплення теоретичних знань по проектуванню і застосуванню найбільш поширених цифрових елементів, вузлів і пристроїв, а також придбання навиків роботи з цифровими інтегральними схемами і пристроями, побудованими на їх основі.

Всі роботи лабораторного практикуму проводяться по завданнях, вказаних у відповідних описах робіт.

Приступаючи до лабораторного практикуму, необхідно уважно ознайомитися з правилами, що викладаються нижче, регламентують порядок виконання робіт.

При підготовці до лабораторної роботи необхідно повторити відповідний теоретичний матеріал, уважно ознайомитися з описом роботи, виконати домашнє завдання. Результати підготовки фіксуються письмово у формі заготовки звітів, які виконуються кожним студентом у виділеному для цих цілей зошиті (бажано в клітку) і що зберігається до кінця лабораторного практикуму. Заготовки звітів повинні містити мету роботи, далі по кожному пункту завдання:

- функції, що реалізуються цифровим пристроєм, представлені в аналітичній або (и) табличній формі, їх перетворення, що пояснюють процес проектування;
- схему спроектованого вузла або пристрою;
- у випадках, обумовлених в описі, - тимчасові діаграми, що пояснюють роботу цифрового пристрою;
- таблиці для запису результатів експериментів;

На початку кожного заняття викладач проводить суцільний або вибірковий опит студентів, в результаті якого їм дається дозвіл на виконання роботи. Для отримання дозволу на виконання роботи студент повинен мати заготовку звіту на виконання роботи, знати теоретичний матеріал, що відноситься до даної роботи, мати чітке уявлення про зміст і порядок виконання експериментальної частини.

Залік по роботі виставляється після оформлення звіту і обговорення (захисту) з викладачем отриманих результатів.

## Список рекомендованої літератури

1. Алексеенко А.Г., Шагурин И.М. Микросхемотехника. – М.: Радио и связь, 2001. -245с.
2. Вениаминов В.Н., Лебедев О.Н., Мирошниченко А.И. Микросхемы и их применение. – М.: Радио и связь, 2003. - 223с.
3. Савельев П.В., Коняхин В.В. Функционально-логическое проектирование БИС. – М.: Высшая школа, 2000. -687с.
4. Схемотехника ЭВМ / Под ред. Г.Н. Соловьева– М.: Высшая школа, 2001. -152с.
5. Токхейм Р. Основы цифровой электроники. – М.: Мир, 2002. -345с.
6. Угрюмов Е.П. Цифровая схемотехника. – СПб.: БХП – Петербург, 2001. -234с.
7. Хоровиц П., Хилл У., Искусство схемотехники: В 3 томах. – М.; Мир, 2003. -398с.
8. Шило В.Л. Популярные цифровые микросхемы: Справочник. –Челябинск: Металлургия, 2000. -224с.
9. Цифровые и аналоговые интегральные микросхемы: Справочник / Под ред. С.В.Якубовского – М.: Радио и связь, 2000. – 465с.
10. Цифровая и вычислительная техника / Под ред. Э.В. Евреинова. – М.: Радио и связь, 2001. -390с.
11. Цифровые устройства на микросхемах / Под ред. В.Л. Волчека и Е.Г. Ойхмана. – М.: Энергия, 2000. -477с.
12. Электротехника и электроника в экспериментах и упражнениях: В 2 томах / Под ред. Д.Н. Панфилова. – Т. 2. Электроника. – М.: Додэна, 2000. -238с.
13. Янсен И. Курс цифровой электроники: В 4 томах. – М.: Мир, 2007. -246с.
14. Баженов В.А., Венгерський П.С., Горлач В.М., та інші. Информатика. Комп'ютерна техніка. Комп'ютерні технології. – К.: Каравела, 2007. -235с.
15. Вагін П.П., Остудін Б.А., Шинкаренко Г.А. Основы функционального анализа: Курс лекций. – Львів:

7. Основні постулати (аксіоми) і закони алгебри логіки.
8. Диз'юнктивні і кон'юнктивні нормальні форми представлення функцій.
9. Мінімізація логічних функцій.
10. Дайте визначення дешифратора.
11. Що розуміють під унітарним кодом?
12. Дайте визначення однорозрядного суматора і спроектуйте його схему.
13. Вкажіть переваги і недоліки двійкових суматорів з послідовним перенесенням.
14. Дайте визначення мультиплексора і демультимплексора.
15. Перерахуйте застосування мультиплексорів і демультимплексорів.
16. Приведіть визначення тригера, перерахуйте його відмітні особливості.
17. Які ознаки використовують при класифікації тригерів?
18. Що таке таблиця переходів тригера? Зобразите таблиці переходів відомих вам типів тригерів.
19. Що таке характеристичне рівняння тригера? Запишіть характеристичні рівняння відомих вам типів тригерів.
20. Зобразіть тимчасові діаграми відомих вам типів тригерів.
21. У чому відмінність синхронних тригерів, керованих рівнем, від тригерів з динамічним управлінням?
22. Поясніть принцип дії двухступеневого D-тригера.
23. Доведіть можливість перетворення синхронного RS-тригера в D-тригер; JK-тригера в D- і T-тригерах, D-тригера в T-тригер.
24. Дайте визначення регістра.
25. У чому відмінності регістрів пам'яті від регістрів зрушення?
26. Які типи тригерів можуть бути використані для побудови схем: а) регістрів пам'яті, б) регістрів зрушення?
27. Поясніть причину недоцільності застосування T-тригерів для побудови регістрів пам'яті.

**Тематика лабораторних занять  
з курсу “Електротехніка та мікропроцесорна техніка”  
для студентів четвертого курсу  
спеціальності 6.050501 - "Машинобудування"  
Механізації сільського господарства**

№ з/п	Тема лабораторної роботи	Кількість годин
<i>Модуль 1</i>		
1	Логічні елементи	2
2	Дешифратори	4
<b>Всього</b>		<b>6</b>
<i>Модуль 2</i>		
3	Суматори	4
4	Тригери	4
<b>Всього</b>		<b>8</b>
<b>Разом</b>		<b>14</b>

**Розбиття дисципліни за видами робіт на модулі**

Види робіт	6 семестр		
	1 модуль	2 модуль	всього
<b>ЛЗ</b>	14	16	30
<b>ЛПЗ</b>	6	8	14
<b>Самостійна робота</b>	30	34	64
<b>Захист модуля</b>	1	1	2
<b>Залік</b>			1

**Структурно-модульна схема курсу  
“Електротехніка та мікропроцесорна техніка”**

Модуль	Кількість годин			Форма контролю	Кіл. заходів	Оцінка за захід, балів		Сума балів	
	ЛЗ	ЛПЗ	СРС			max	min	max	min
1	8	6	25	Перевірка ЛЗ	4	1,5	0,5	6	2
				Перевірка ЛПЗ	2	5	1	10	4
				Самостійна робота	2	2	0,5	4	1
				Контрольна робота	1	5	1	5	1
				Захист модуля	1	25	8	25	8
				<b>Всього</b>					
2	8	8	26	Перевірка ЛЗ	4	1,5	0,5	6	2
				Перевірка ЛПЗ	2	5	1	10	2
				Самостійна робота	2	2	0,5	4	1
				Контрольна робота	1	5	1	5	1
				Захист модуля	1	25	8	25	8
				<b>Всього</b>					
<b>Всього</b>	16	14	51					<b>100</b>	<b>30</b>

**Питання до заліку**

- Що таке таблиця істинності ЛЕ або пристрою, що здійснює деяке логічне перетворення?
- Вкажіть розмірність таблиці істинності (число рядків і число стовпців) ЛЕ: І та АБО.
- ЛЕ яких типів відповідають приведеним таблицям істинності?

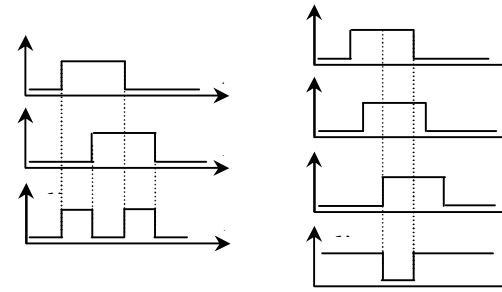
а)

$x_1$	0	0	1	1
$x_2$	0	1	0	1
$y$	0	1	1	0

б)

$x_1$	0	0	0	0	1	1	1	1
$x_2$	0	0	1	1	0	0	1	1
$x_3$	0	1	0	1	0	1	0	1
$y$	1	1	1	1	1	1	1	0

- Використовуючи ЛЕ набірного поля отримаєте три різні варіанти схем, що реалізують логічну функцію “І-НІ”. Який з них є найбільш оптимальним (раціональним)?
- Зобразіть тимчасові діаграми, що характеризують функціонування ЛЕ: НІ, І, АБО, І-НІ, АБО -НІ.
- Записати логічні вирази і скласти таблиці істинності ЛЕ, яким відповідають приведені тимчасові діаграми:



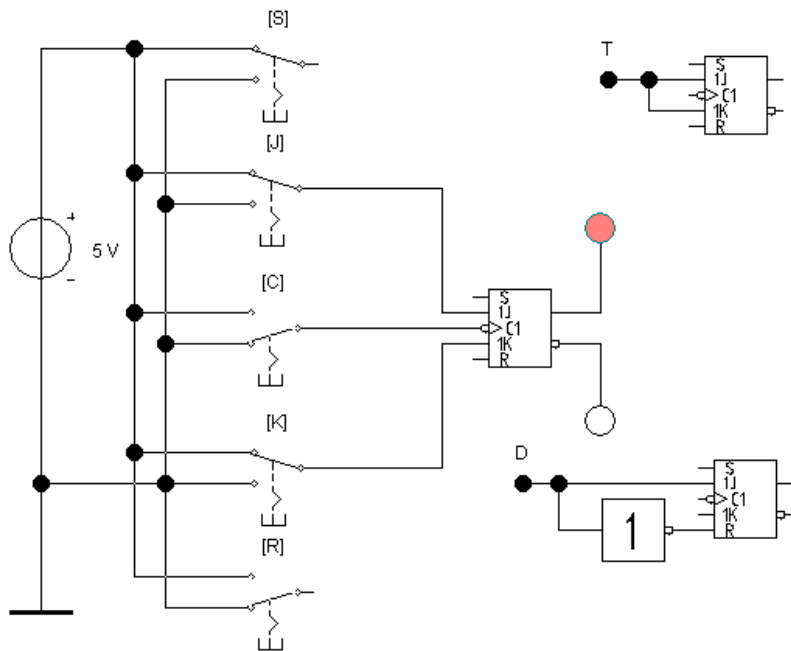


Рис. 4 Синхронний JK-тригер в режимах JK-тригера, T-тригера та D-тригера

### Контрольні запитання

1. Що таке тригер, принцип дії?
2. Принцип дії RS-тригера?
3. Принцип дії синхронного RS-тригера?
4. Принцип дії JK-тригера?
5. Принцип дії T-тригера?
6. Принцип дії D-тригера?

### Шкала оцінки знань студентів

За шкалою ECTS	Рейтингова оцінка за шкалою навчального закладу (абсолютна кількість балів за дисципліну)	За національною шкалою
A	90-100	5- відмінно
BC	75-89	4- добре
DE	60-74	3- задовільно
FX	35-59	2- незадовільно (з можливістю повторного складання)
F	1-34	2- незадовільно (з обов'язковим повторним курсом навчання)

### Шкала оцінки знань студентів

#### Примітки:

- \* ЛЗ – лекційні заняття; ЛПЗ – лабораторні, практичні, семінарські заняття; СРС – самостійна робота студента.
- \*\*А означає “відмінно”, ВС означає “добре”, DE означає “задовільно”, FX означає “незадовільно” – необхідно виконати певну додаткову роботу для успішного складання; F означає “незадовільно” – необхідна значна подальша робота.

### Модульно-рейтингова оцінка знань

з курсу "Електротехніка та мікропроцесорна техніка" для студентів 4 курсу факультету Механізації сільського господарства спеціальності 6.050501 - "Машинобудування"

Курс "Електротехніка та мікропроцесорна техніка" для студентів 4 курсу факультету Механізації сільського господарства денної форми навчання спеціальності 6.050501 - "Машинобудування" складається з двох модулів. Оцінка знань здійснюється за шкалою ЕСТ8, рейтинговою (абсолютною) системою та національною (5-ти бальною(відносною)) шкалою.

Розподіл балів для курсу „Електротехніка та мікропроцесорна техніка” за категоріями діяльності студента

#### 1. Лекційні заняття:

контрольне опитування	
виконання завдань на 90-100 %	- 3 бали
виконання завдань на 75 - 89 %	- 2 бали
виконання завдань на 60 - 74 %	- 1,5 бали
виконання завдань на 35 - 59 %	- 1 бал
виконання завдань менше 35 %	- 0,5 бала

#### 2. Лабораторні роботи:

готовність до виконання лабораторної роботи	- 0,2 бала
якісне та своєчасне виконання	- 0,8 бала
захист лабораторної роботи	
(контрольне опитування)	- 4,0 бали
Всього балів за лабораторну роботу	- 5,0 балів

#### 3. Контрольна робота:

виконання завдань на 90 - 1 00 %	- 5 балів
виконання завдань на 75 - 89 %	- 4 бали
виконання завдань на 65 - 74 %	- 3 бала
виконання завдань менше 40%	- 1 бал

#### 4. Самостійна робота:

виконання завдань на 70 - 1 00 %	- 4 бала
виконання завдань менше 70%	- 0,5 бала

#### 5. Захист модуля:

виконання завдань на 90 - 1 00 %	- 25 балів
виконання завдань на 75 - 89 %	- 22 бали
виконання завдань на 60 - 74 %	- 1 8 балів
виконання завдань на 35 - 59 %	- 14 балів
виконання завдань на 1 - 34 %	- 8 балів

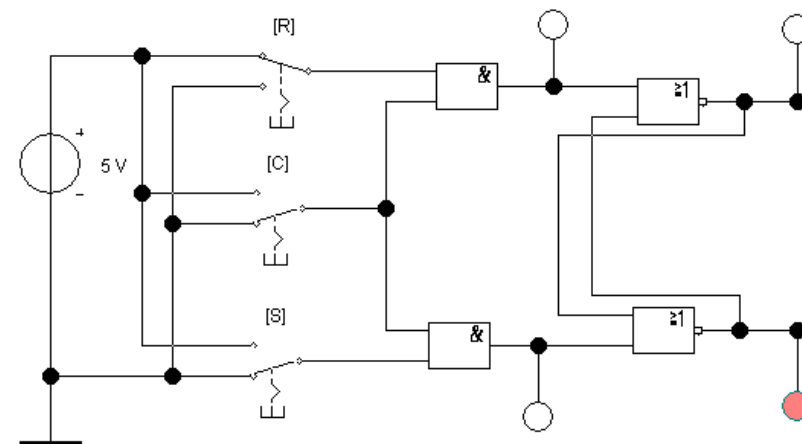


Рис. 3 Синхронний RS-тригер на логічних елементах АБО-НІ

3. Дослідити синхронний JK-тригер в режимах JK-тригера, T-тригера та D-тригера, рис. 4. За результатами досліджень скласти таблиці переходів.

JK					T				D			
C	R	S	$Q_n$	$Q_{n+1}$	C	T	$Q_n$	$Q_{n+1}$	C	D	$Q_n$	$Q_{n+1}$
1	0	0	0		1	1	0		1	0	1	
1	0	0	1		1	1	1		1	1	1	
1	0	1	0		1	1	0		1	0	1	
1	0	1	1		1	1	1		1	1	1	
1	1	0	0		1	1	0		1	0	0	
1	1	0	1		1	1	1		1	1	0	
1	1	1	0		1	1	0		1	0	0	
1	1	1	1		1	1	1		1	1	0	



## Лабораторна робота № 1

**Тема:** Логічні елементи.

**Мета:** Експериментальне дослідження роботи основних логічних елементів АБО, І та НІ.

### Теоретичні відомості

У обчислювальній техніці існує поняття логічно активних елементів, які можуть виконувати найпростіші дії по перетворенню інформації, яка представлена у вигляді електричних сигналів, або у вигляді характеристик намагніченості, світла, стану молекул і т.д. Не залежно від фізичного представлення логічно активний елемент реалізує будь-яку функцію булевої алгебри або двійкової (бінарної) логіки.

В інженерній практиці використовують такі позначення:

- значення булевих змінних позначаються 0 і 1;
- логічна операція кон'юнкції позначається знаком множення  $\cdot$  (його можна опускати в тих випадках, коли це не завадить сенсу);
- логічна операція диз'юнкції позначається знаком додавання  $+$ ;
- одномісна логічна операція заперечення позначається рискою над відповідним виразом або змінною.

Зазвичай при створенні логічних схем використовують такі елементи:

1. Логічний елемент І реалізує кон'юнкцію з таблицею істинності приведеною нижче. Графічне позначення на функціональних схемах зображено на рис. 1

$X_1$	$X_2$	$I$
0	0	0
0	1	0
1	0	0
1	1	1

$$x_1 \cdot x_2$$

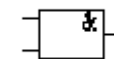


Рис. 1 Логічний елемент І

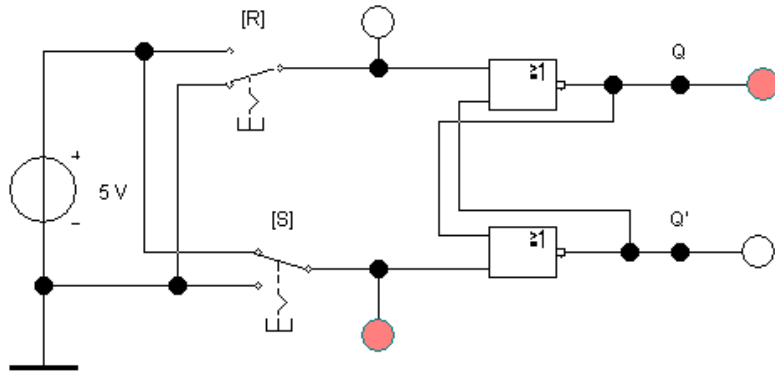


Рис. 2 Асинхронні  $RS$ -тригери на логічних елементах АБО-НІ

І-НІ				АБО-НІ			
R	S	$Q_n$	$Q_{n+1}$	R	S	$Q_n$	$Q_{n+1}$
0	0	0		0	0	0	
0	0	1		0	0	1	
0	1	0		0	1	0	
0	1	1		0	1	1	
1	0	0		1	0	0	
1	0	1		1	0	1	
1	1	0		1	1	0	
1	1	1		1	1	1	

2. Побудувати та дослідити синхронний  $RS$ -тригер на логічних елементах АБО-НІ, рис. 3. За результатами досліджень скласти таблицю переходів.

C	R	S	$Q_n$	$Q_{n+1}$
⌊	0	0	0	
⌋	0	0	1	
⌊	0	1	0	
⌋	0	1	1	
⌊	1	0	0	
⌋	1	0	1	
⌊	1	1	0	
⌋	1	1	1	

2. Логічний елемент АБО реалізує функцію диз'юнкції з таблицею істинності приведеною нижче. Графічне позначення логічного елемента АБО представлено на рис. 2

$X_1$	$X_2$	АБО
0	0	0
0	1	1
1	0	1
1	1	1

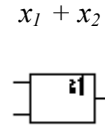


Рис. 2 Логічний елемент АБО

3. Логічний елемент НІ-І реалізує заперечення кон'юнкції. Графічне зображення представлено на рис.3

$X_1$	$X_2$	НІ-І
0	0	1
0	1	1
1	0	1
1	1	0

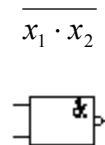


Рис. 3 Логічний елемент НІ-І

4. Логічний елемент НІ-АБО реалізує заперечення диз'юнкції. Графічне зображення представлено на рис.4

$X_1$	$X_2$	НІ-АБО
0	0	1
0	1	0
1	0	0
1	1	0

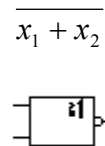


Рис. 4 Логічний елемент НІ-АБО

Цей тип тригера запам'ятовує інформацію в момент вмикання на вході С (логічного) 0.

Якщо ж там знаходиться 1 то на виході Q буде просто повторюватись інформація, яка міняється на вході С.

D	C	Q
1	0	x
0	0	x
1	1	1
0	1	0

### Порядок виконання роботи

1. Побудувати та дослідити асинхронні RS-тригери на логічних елементах І-НІ та АБО-НІ, рис. 1 і 2. За результатами досліджень скласти таблиці переходів.

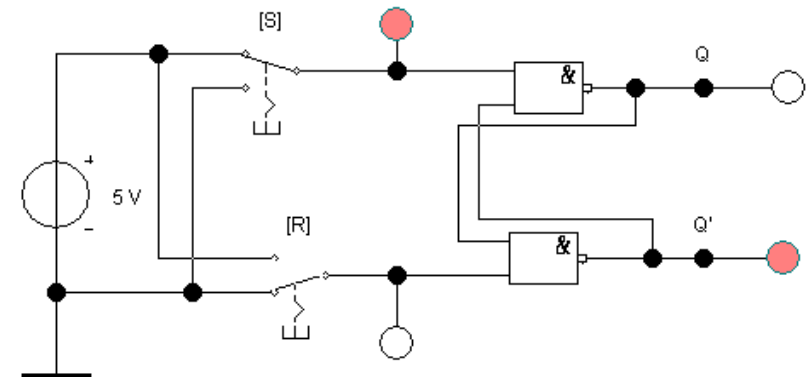
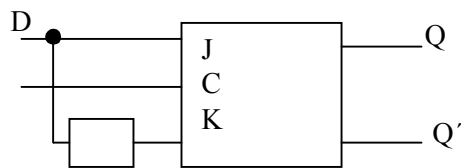


Рис. 1 Асинхронні RS-тригери на логічних елементах І-НІ

### D- тригер.

Також як T- тригер має 1 вхід і працює таким чином: виконує тільки функції зберігання значення змінної, яку на нього подали і це значення може бути зчитано і скопійовано скільки завгодно раз, поки його не змінить інше значення. Якщо C=0, то ніяких змін у тригері не виникає.



D – вхід даних  
C – вхід запису

На вході D може постійно мінятиь інформація (0 або 1), але тригер запам'ятовує її стан лише в той момент, коли на вхід C надійде сигнал запису, тобто в цей момент робиться “фотографування” (0 або 1 на вході D).

Цей тип тригера переносить інформацію з D-входу на вихід Q лише в той момент, коли на вході C відбувається перехід з 0 в 1.

Якщо ж на вході C відбувається перехід 1 в 0, то запам'ятовування нової інформації не відбувається.

D	C	Q
1	1	x
0	0	x
1		1
0		0
1		x
0		x

x – попередній стан (0 або 1)

- перехід з 0 в 1

5. Логічний елемент НІ, відповідає запереченню. Виражається функцією  $f(x) = \bar{x}$  Графічне зображення представлено на рис.5

X	НІ
0	1
1	0

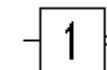


Рис. 5 Логічний елемент НІ

6. Логічний елемент ВИКЛЮЧНЕ-АБО реалізується функцією  $f(x_1, x_2) = \bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2$ . Цю функцію називають також подвійним складанням, складанням по модулю 2. Його таблиця істинності приведена нижче. Графічне зображення представлено на рис.6.

X <sub>1</sub>	X <sub>2</sub>	ВИКЛЮЧНЕ-АБО
0	0	0
0	1	1
1	0	1
1	1	0

$$\bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2$$



Рис. 6 Логічний елемент ВИКЛЮЧНЕ-АБО

### Порядок виконання роботи

1. Ознайомитись з основними логічними елементами АБО, І і НІ та роботою логічного перетворювача програми схемотехнічного моделювання Electronics Workbench.

Поле логічних елементів відкривається клацанням “мишки” на зображенні (Logic Gates), рис. 1.



Рис. 1 Поле логічних елементів

На робоче поле логічні елементи переміщують пересуванням „мишки”, натиснувши ліву кнопку на їх зображенні.

Для дослідження логічних елементів використовується логічний перетворювач (*Logic Converter*), який знаходиться в полі контрольно-вимірювальних приладів (Instruments), рис. 2.



Рис. 2 Поле контрольно-вимірювальних приладів

Зображення логічного перетворювача (*Logic Converter*)

переміщують на робоче поле пересуванням „мишки”, натиснувши ліву кнопку на його зображенні. На робочому полі виникає схемне зображення приладу, рис. 3, до якого приєднують логічні схеми, які необхідно дослідити.



Рис. 3 Схематичне зображення приладу

Подвійним клацанням лівою кнопкою мишки по цьому зображенню відкривається зображення передньої панелі логічного перетворювача, рис. 4.

Наявність входу С означає, що момент перемикання пов'язаний з моментом подачі синхроімпульсу на вхід. Це триггер, який реагує на вхідні сигнали тільки в певні моменти часу. Ці моменти задаються за допомогою додаткового вхідного сигналу синхронізації С.

При  $C=1$   $R=R'$   $S=S'$  - вплив виникає через перехід тактового сигналу від 0 до 1.

Синхронні тригери змінюють свій стан тільки у тому випадку, коли змінна синхронізації дорівнює 1.

*Тактом* називають момент часу, коли змінна синхронізації дорівнює 1.

JK- тригер.

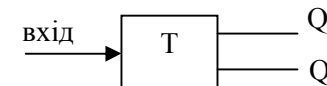
JK –тригер відрізняється від RS –тригера тим, що при  $R=S=1$  він міняє свій стан на протилежний, тобто в нього немає невизначеного стану, як в RS –тригері (при кожному тактовому сигналі). В цьому випадку JK –тригер працює як лічильник, виконуючи функції Т –тригера.

$$J=1, K=0, C=1 \rightarrow Q=1, Q'=0$$

$$J=0, K=1, C=1 \rightarrow Q=0, Q'=1$$

T- тригер.

В цьому тригері є тільки один вхід. Кожний сигнал, який потрапляє на вхід, змінює його стан на протилежний (рахунковий режим, лічильник)



T	$Q_{(n+1)}$
0	$Q_{(t)}$
1	$Q'_{(t)}$

$$S=1, R=0 \rightarrow Q' = \overline{S + Q} = \overline{1 + Q} = 0$$

$$Q = \overline{R + Q'} = \overline{0 + 0} = 1$$

$$R=1, S=0 \rightarrow Q' = \overline{S + Q} = \overline{0 + Q} = 1$$

$$Q = \overline{R + Q'} = \overline{1 + 1} = 0$$

S	R	Q
0	0	Зберігає попередній стан
0	1	0
1	0	1
1	1	заборонено

$R=0, S=0 \rightarrow$  стан вихідних сигналів зберігається, тому RS- тригер можна використовувати для зберігання інформації.

$R=1, S=1 \rightarrow$  стан вихідних сигналів не визначений, тому заборонений.

Синхронний RS- тригер.

Щоб отримати синхронний RS- тригер необхідно в схему асинхронного RS- тригера додати дві схеми "І-НІ", або (рис. 2)

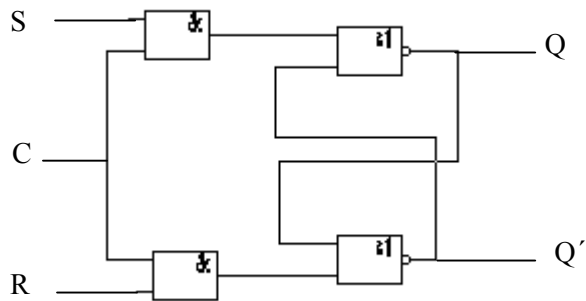


Рис. 2 Схема синхронного тригера "АБО-НІ"

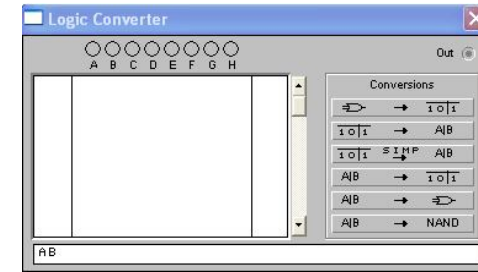


Рис. 4 Передня панель логічного перетворювача

На зображенні передньої панелі перетворювача знаходяться вісім входів (позначених літерами від А до Н) та один вихід (*Out*). Вони не активні в схемному відношенні, але відповідають затискачам схемного зображення приладу.

Кільця над літерами входів є кнопки, натисканням на які, задаються комбінації входних аргументів до таблиці істинності. Значення вихідних логічних величин установлюють відповідно до таблиці істинності.

В правій частині панелі знаходяться клавіші режимів роботи логічного перетворювача (*Conversions*):

$\rightarrow$   $\overline{1\ 0\ 1\ 1}$  - отримання функції алгебри логіки (ФАЛ) логічного пристрою в вигляді таблиці істинності;

$\rightarrow$   $A\overline{B}$  - перетворення ФАЛ логічного пристрою в вигляді таблиці істинності в алгебраїчний вираз;

$\rightarrow$   $A\overline{B}$  - спрощення алгебраїчного виразу ФАЛ;

$\rightarrow$   $\overline{1\ 0\ 1\ 1}$  - перетворення ФАЛ в вигляді алгебраїчного виразу в ФАЛ в вигляді таблиці істинності;

$\rightarrow$   $\overline{1\ 0\ 1\ 1}$  - побудова схеми логічного пристрою за ФАЛ в вигляді алгебраїчного виразу в базисі основних логічних операцій АБО, І і НІ;

$A \vee B \rightarrow \text{NAND}$  - побудова схеми логічного пристрою за ФАЛ в вигляді алгебраїчного виразу в базисі І-НІ.

2. Виконати відповідно до режимів роботи логічного перетворювача дослідження основних логічних операцій АБО, І та НІ. Схема дослідження логічної операції АБО наведена, як приклад, на рис. 5.

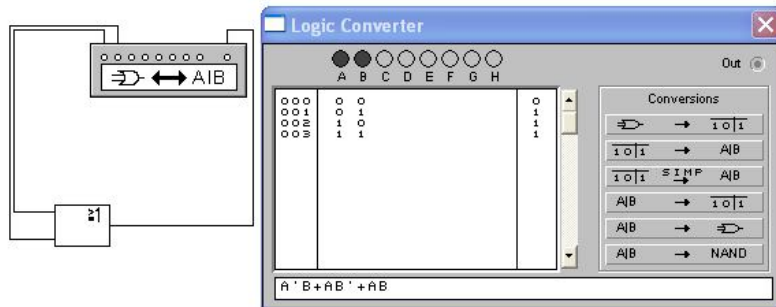



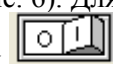


Рис. 5 Схема дослідження логічної операції АБО

3. Побудувати схеми експериментального дослідження роботи основних логічних елементів АБО, І та НІ. Комбінації вхідних аргументів задавати ключами (поле компонент ) (*Basic*) та джерелом напруги  $E = 5 \text{ В}$  (поле компонент ) (*Sources*)). Виходи логічних елементів доповнити індикатором (поле компонент ) (*Indicators*)). На рис. 6, як приклад, наведено схему дослідження роботи логічного елемента АБО.

4. Провести дослідження логічних елементів (рис. 6). Для цього комбінуючи станом ключів і натискаючи кнопку  (запуск моделювання), що розміщена в правому куті екрану, скласти таблиці істинності логічних елементів та переконатись в правильності їх функціонування.

## Лабораторна робота № 4

**Тема:** Тригери.

**Мета:** Ознайомитись з принципом побудови та логікою роботи тригерів.

### Теоретичні відомості

Базовим елементом будь-якої електронної пам'яті є *тригер*.

*Тригер* – це логічний елемент, який зберігає (пам'ятає) встановлений в ньому логічний стан 0 або 1. Вони знаходять використання у схемах ЕОМ, в якості двійкових елементів пам'яті, а також для реалізації операцій двійкового лічильника.

Тригер здібен зберігати 1 біт інформації, тобто є одно розрядним елементом пам'яті. У схемі тригера поточні значення виходів залежать не тільки від поточних значень вхідів, але і від роботи схеми до поточного моменту.

Тригер має два стійких положення:

- 2 входи – встановити S
  - скинути R
- 2 виходи – прямий Q
  - інверсний Q'

Схема тригера складається з 2 логічних елементів (“АБО-НІ” чи “І-НІ”) пов'язаних зворотними зв'язками. зворотні зв'язки утримують схему в стійкому стані.

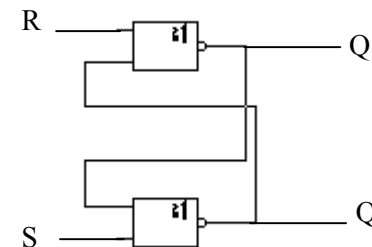


Рис. 1 Схема асинхронного тригера “АБО-НІ”

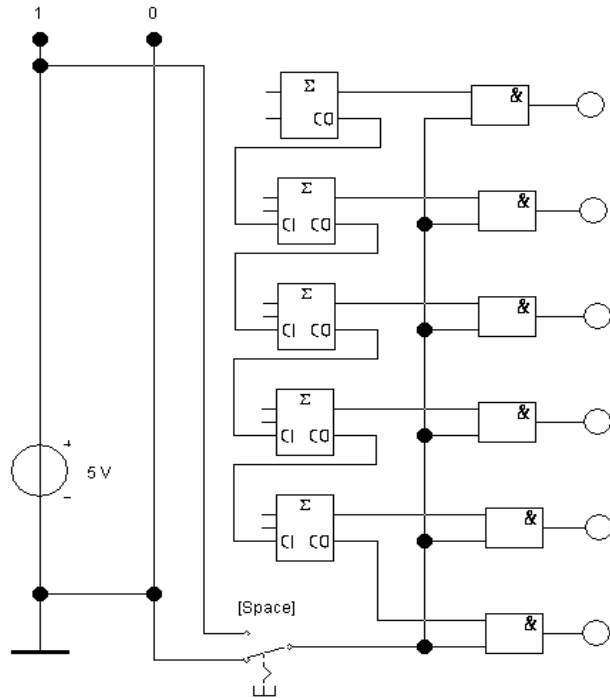


Рис. 3  $n$ -розрядний суматор паралельної дії

Входи суматорів відповідно до двійкових чисел з'єднати з шинами „1” або „0”. Ключ *Space* імітує надходження тактового імпульсу, який визначає момент відліку інформації.

### Контрольні запитання

1. Що таке суматор, принцип дії?
2. Що таке неповний суматор, принцип дії?
3. Скільки входів має напівсуматор та суматор?
4. Скільки розрядів складає напівсуматор?
5. Які входи має суматор?
6. Які виходи має напівсуматор?

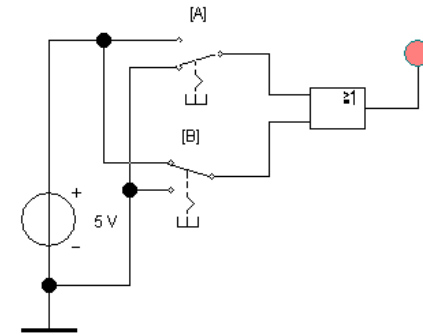


Рис. 6 Схема дослідження роботи логічного елемента АБО

АБО			І			НІ	
A	B	Y	A	B	Y	A	Y
0	0		0	0		1	
0	1		0	1			
1	0		1	0		0	
1	1		1	1			

### Контрольні запитання

1. Які логічні елементи ви знаєте?
2. Властивості логічного елемента І та його таблиця істинності.
3. Властивості логічного елемента АБО та його таблиця істинності.
4. Принцип роботи логічного елемента НІ та його таблиця істинності.
5. Принцип роботи логічного елемента НІ-І та його таблиця істинності.
6. Принцип роботи логічного елемента НІ-АБО та його таблиця істинності.
7. Властивості логічного елемента ВИКЛЮЧНЕ-АБО та його таблиця істинності.
8. Чим відрізняється запис числа у десятковій формі від двійкового коду?

## Лабораторна робота № 2

**Тема:** Дешифратори.

**Мета:** Навчитись складати таблиці істинності, записувати відповідно до них логічні функції, будувати та досліджувати функціональні схеми дешифраторів.

### Теоретичні відомості

Дешифратор – комбінаторна схема, яка має  $n$  входів та  $m=2^n$  виходів. Набір вхідних змінних розглядається як двійкове число, яке визначає номер виходу, який необхідно активувати, тобто надати йому значення 1. Інші виходи при цьому повинні отримати значення рівне 0. Іншими словами дешифратор подає сигнал рівний 1 тільки на 1 з  $2^n$  вихідних ліній.

Таблиця істинності для дешифратора 2x4, де 2 - число входів, 4 – число виходів, приведена нижче.

$x_1$	$x_2$	$f_0$	$f_1$	$f_2$	$f_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Систему булевих функцій, яка визначає дешифратор, записуємо наступним чином:

$$f_k(x_0, x_1, \dots, x_{n-1}) = \vee \sum (k) = \prod_{i=0}^{n-1} x_i^{\delta_i^k}, \sum_{r=0}^{n-1} 2^r \delta_r^k = k$$

$$k = 0, \dots, 2^{n-1}$$

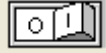
Зокрема, для дешифраторів 2x4 маємо


$$f_0(x_1, x_2) = \overline{x_1} \overline{x_2} = \vee \sum (0),$$

$$f_1(x_1, x_2) = \overline{x_1} x_2 = \vee \sum (1),$$

$$f_2(x_1, x_2) = x_1 \overline{x_2} = \vee \sum (2),$$

$$f_3(x_1, x_2) = x_1 x_2 = \vee \sum (3).$$

2. Натиснувши кнопку  (запуск моделювання), що розміщена в правому куті екрану і комбінуючи станом ключів переконайтесь в правильності функціонування напівсуматора відповідно до таблиці істинності.

3. Скласти таблицю істинності однозарядного суматора  (*-Digital*), побудувати функціональну схему дослідження та переконайтесь в правильності функціонування його, відповідно до таблиці істинності, рис. 2.

4. Побудувати  $n$ -розрядний суматор паралельної дії, щоб підсумувати двос довільних двійкових чисел до числа  $N$ , де  $N$  — номер студента у списку учбової групи, рис. 3.

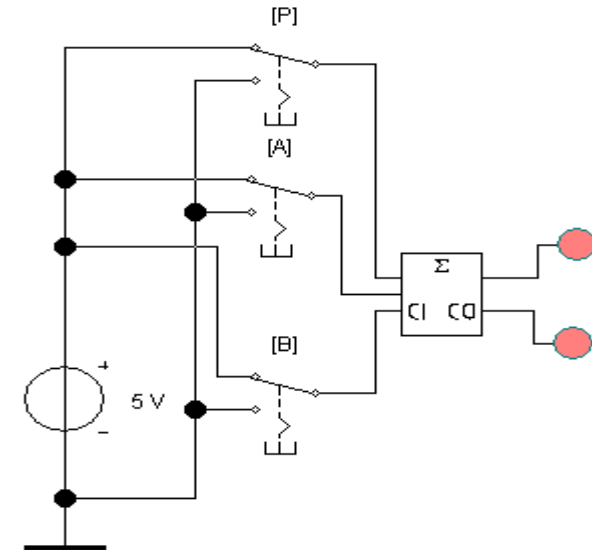


Рис. 2 Схема однозарядного суматора






наступний перенос. Сума  $1+1=0$  і  $1$  в переносі, але через те, що існує попередній розряд переносу, то ми його додаємо до  $0$  і отримуємо  $1$ .

Ця схема носить назву *повного суматора*, або *однорозрядного суматора*. Для складання двох 8-розрядних двійкових чисел знадобиться 8 однорозрядних суматорів, з'єднаних таким чином, щоб сигнал переносу передавався в кожний наступний розряд на вхід  $C_v$  відповідного повного суматора.

### Порядок виконання роботи

1. Скласти таблицю істинності, записати функції алгебри логіки (ФАЛ) та побудувати відповідно до них функціональну схему однорозрядного напівсуматора. Однорозрядні двійкові коди сформувати за допомогою джерела напруги  $E = 5\text{ В}$

(меню  (*Sources*) і ключів (поле компонент  (*Basic*)).

Схему напівсуматора доповнити індикаторами логічного стану (поле компонент  (*Indicators*)), рис. 1.

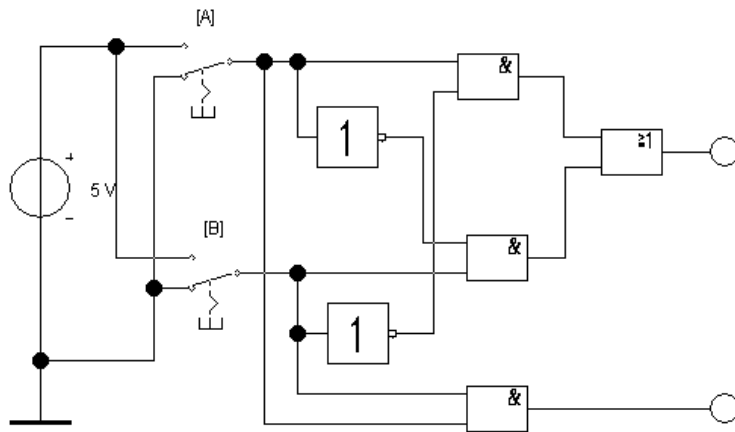


Рис. 1 Схема однорозрядного напівсуматора

Схема такого дешифратора зображена на рис.1.

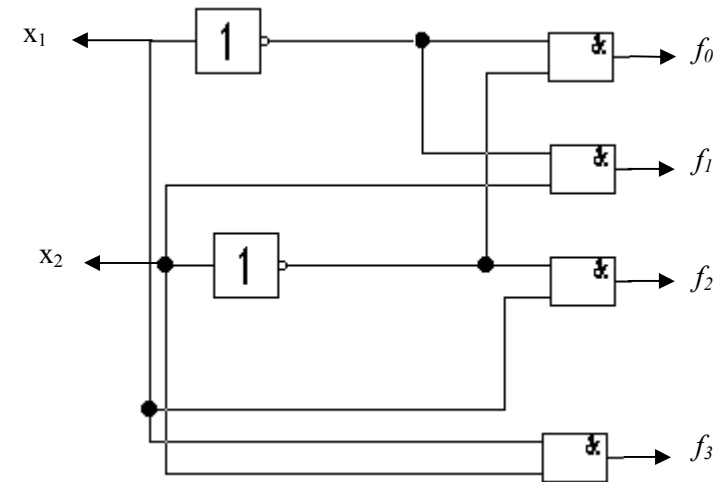


Рис.1 Схема дешифратора 2x4

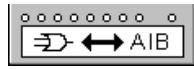
Неповні дешифратори у яких  $m < 2^n$ , деякі вихідні функції  $y_j$  не реалізуються і тому відповідні їм вхідні комбінації  $(x_n, \dots, x_1)$  є лишніми, тобто забороненими. Це дозволяє мінімізувати схеми дешифраторів.


Дешифратори широко використовують в схемах управління пам'яттю. На вхід подається адреса тієї комірки пам'яті, до якої ми хочемо звернутися для запису або читання. Адреса це ціле число у вигляді двійкового коду, тобто впорядкований набір 0 та 1. Цей набір визначає значення вхідних змінних. Десятковий формат числа означає номер виходу який треба активувати.

У результаті подачі такого набору на вході дешифратора активується одна і тільки одна вихідна лінія, яка в свою чергу активує схеми тільки однієї комірки запам'ятовуючого пристрою для вибірки з неї інформації або для занесення в цю комірку нової інформації.

## Порядок виконання роботи

1. Скласти за допомогою логічного перетворювача



(Logic Converter, меню Instruments ) таблицю

істинності неповного дешифратора на п'ять входів і три виходи відповідно до чисел  $N$ ,  $N+1$ ,  $N+2$  ( $N$  — номер студента у списку учбової групи).

$A$	$B$	$C$	$D$	$E$	$N$	$N+1$	$N+2$

2. Отримати за таблицями істинності окремо для кожного з трьох виходів функції алгебри логіки (ФАЛ).



3. Побудувати дешифратор на п'ять входів і три виходи у базисі логічних елементів АБО, І та НІ і дослідити його роботу подаючи на входи логічні сигнали, сформовані за допомогою

джерела напруги  $E=5$  В (меню  (Sources) і ключів (поле

компонент  (Basic).

Як приклад, на рис. 1 наведена схема дешифратора для вхідного двійкового числа 01010.

4. Отримати за допомогою логічного перетворювача, а потім проаналізувати схеми дешифратора до числа  $N$  у базисі АБО, І і НІ та у базисі І-НІ.

Для отримання схем потрібно натиснути відповідно кнопки  та  логічного перетворювача. Як приклад, на рис. 2 і 3 наведені схеми дешифратора до вхідного двійкового числа 01010.

Для того, щоб реалізувати додавання з врахуванням переносу з попереднього розряду, необхідно використовувати два напівсуматори, з'єднав їх так, як показано на рис.2.

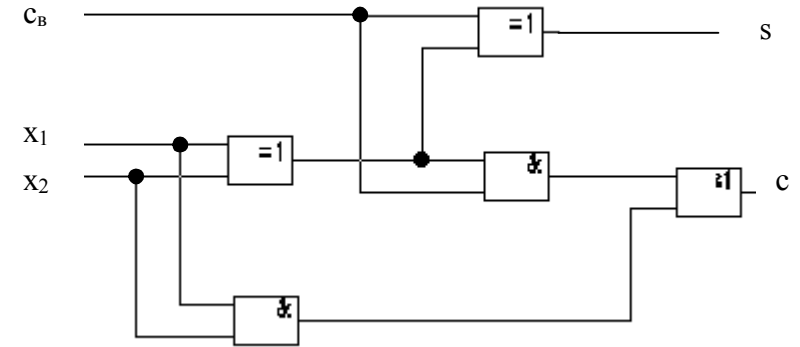


Рис.2 Повний суматор

$C$  –перенос старшого розряду

$C_b$  - вхідний сигнал переносу від підбиття суми в молодшому суматорі

$C_b$	$X_1$	$X_2$	$S$	$C$
0	0	0	0	0
0	1	0	1	0
0	0	1	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Коли немає попереднього розряду  $C_b$ , то суматор працює аналогічно напівсуматору.

Якщо попередній розряд  $C_b$  дорівнює 1, то суму  $0+0=0$ , збільшуємо на 1, перенос при цьому не виникає. Аналогічно суму  $0+1=1$  збільшуємо на 1, одержуємо 0 і отримаємо

два числа:  $26+12$ . Переведемо число 26 та 12 у двійковий код, та знайдемо суму:

$$\begin{array}{r} 00\ 011\ 010 \\ +00\ 001\ 100 \\ \hline 00\ 100\ 110 \end{array}$$

При додаванні крайніх правих чотирьох розрядів має місце чотири можливих комбінації чисел:  $0+0=0$ ,  $1+0=1$ ,  $0+1=1$ ,  $1+1=0$ . В четвертому розряді сума дорівнює 10. Таким чином, необхідно перенести 1 з четвертого розряду у п'ятий. Тоді у п'ятому розряді знову ж  $1+1=0$  і після переносу одиниці в шостий розряд сума в шостому розряді буде  $1+0+0=1$ .

Реалізація цих операцій може бути виконана за допомогою всього двох логічних елементів: ВИКЛЮЧНЕ АБО, яке відповідає виходу суми  $S$ , та елемента І, який відповідає виходу переносу у наступний розряд  $C$  (рис. 1). Ця схема складання однорозрядних чисел без вхідного переносу з попереднього розряду називається *напівсуматором*.

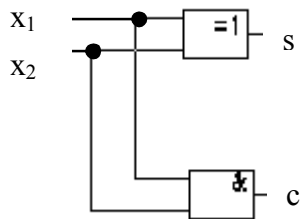


Рис. 1 Напівсуматор

$X_1$	$X_2$	$S$	$C$
0	0	0	0
1	0	1	0
0	1	1	0
1	1	0	1

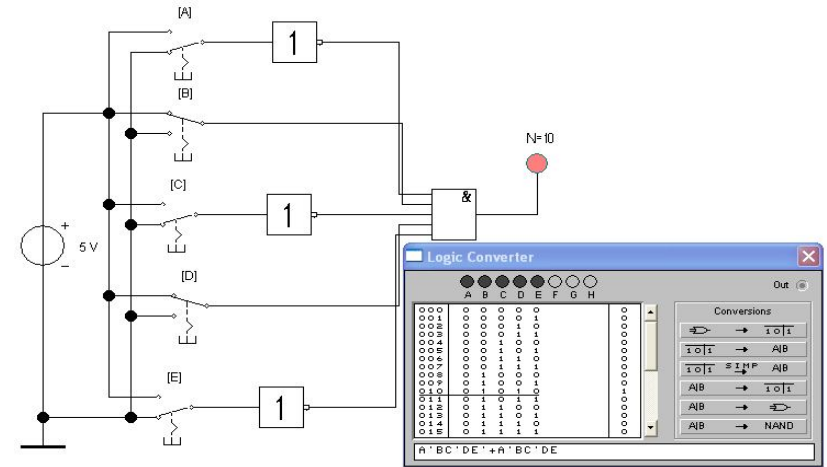


Рис. 1 Схема дешифратора для вхідного двійкового числа 01010.

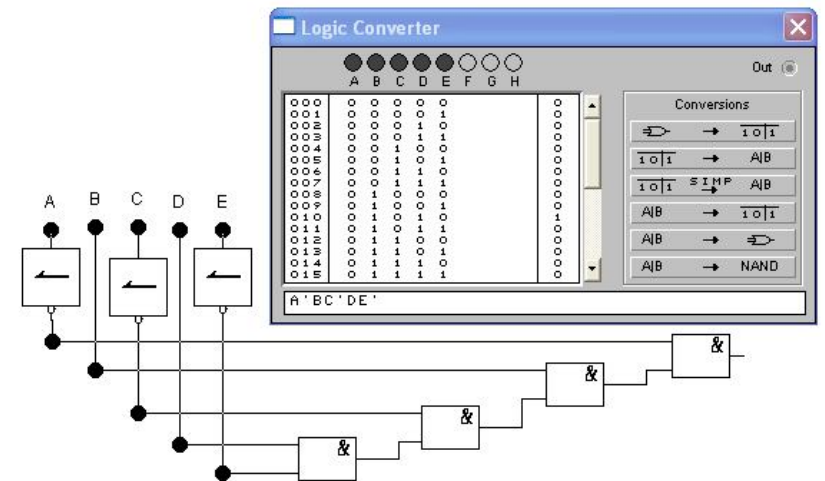


Рис. 2 Схема дешифратора до числа N у базисі АБО, І і НІ

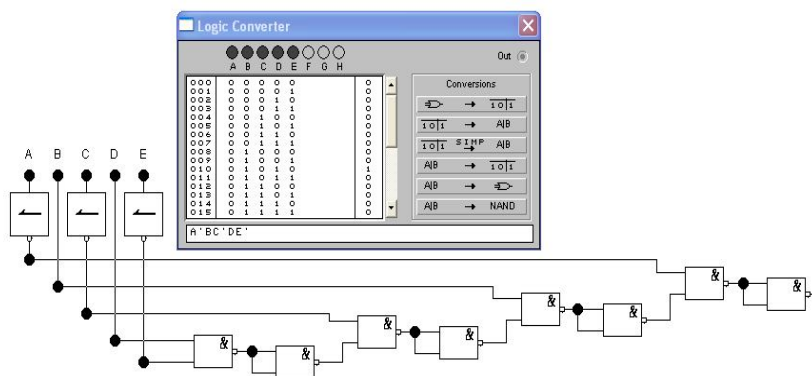


Рис. 3 Схема дешифратора до числа N у базисі І-НІ

### Контрольні запитання

1. Що таке дешифратор, принцип дії?
2. Що таке неповний дешифратор, принцип дії?
3. Де застосовують дешифратори?
4. Як перевести десяткове число у двійковий код?

## Лабораторна робота № 3

**Тема:** Суматори.

**Мета:** Навчитись складати таблиці істинності, записувати відповідно до них логічні функції, будувати та досліджувати функціональні схеми суматорів.

### Теоретичні відомості

Під двійковою системою обчислення мають на увазі позиційну вагомозначну систему з основою 2 і з цифрами 0, 1. Термін “позиційна вагомозначна” означає, що в залежності від положення цифри у числі їй приписують різні значення або вагу. В найбільш розповсюджених системах числення вага дорівнює степені основи, показник якої дорівнює  $n-1$ , де  $n$  - номер розряду, який відраховується зправа наліво. Системи обчислення отримують в залежності від основи. Так, в десятковій системі обчислення основою є 10, в двійковій – 2, у восьмиричній – 8, в шістнадцятиричній – 16 і т.д. При цьому кількість цифр, що використовується для представлення чисел дорівнює основі системи обчислення. В двійковій системі використовують всього дві цифри: 0 і 1. В десятковій системі використовують 10 цифр від 0 до 9. В шістнадцятиричній системі обчислення використовують всі цифри десяткової системи, а в якості тих що не вистачає, використовують перші шість букв латинського алфавіту: A, B, C, D, E, F.

Переведемо число записане у двійковому кодї в десяткове число:

$$10011 = 1 \cdot 2^4 + 0 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 16 + 0 + 0 + 2 + 1 = 19$$

Суматором називають логічний пристрій, який дозволяє виконувати операції додавання з бінарними (двійковими) числами.

Додавання двійкових чисел виконується по тим самим правилам, що й додавання десяткових чисел, за виключенням того, що переніс у наступний розряд здійснюється при сумї в даному розряді, рівній 2, а не 10. Наприклад, потрібно скласти