

**Міністерство освіти і науки України
Вінницький національний аграрний університет**

**КОНТРОЛЬНО-ВИМІРЮВАЛЬНІ ПРИСТРОЇ З ОСНОВАМИ
МЕТРОЛОГІЇ**

Методичні вказівки

Практична робота № 1

**Дослідження основних вузлів вимірювальних каналів в середовищі
програмного забезпечення Micro-Cap**

Вінниця, 2022

ХІД РОБОТИ

1. Дослідження принципу роботи схеми логічного «І»

- 1.1. Запустіть програму Micro-Cap (Micro-Cap.exe).
- 1.2. Розмістіть на робочому полі елемент логічного «І» з 2 входами (елемент And2 з вкладок Digital Primitives – Standard Gates – And Gates).
- 1.3. Приєднайте до входів елемента логічного «І» виходи генераторів тактових імпульсів (елемент GClock з вкладок Digital Primitives – Stimulus Generators).
- 1.4. Задайте період сигналу тактуючого генератора, що під'єднаний до першого входу елемента логічного «І» у відповідності до Вашого варіанту (табл.1).

Таблиця 1 – Результати вимірювань

Варіант	1	2	3	4	5	6	7	8	9	10
Частота	100N	200N	300N	400N	500N	600N	700N	800N	900N	1000N

Увага!!! Для завдання періоду тактуючому генератору необхідно відкрити меню генератора (подвійним натисканням лівої клавіші його зображенні у робочому полі) та задати у стрічках Param:ZEROWIDTH= та Param:ONEWIDTH= значення, що рівні половині значення, заданого в таб. 1.

- 1.5. Задайте період сигналу тактуючого генератора, що під'єднаний до другого входу елемента логічного «І», у чотири рази більший в порівнянні з періодом, приведеним в табл.1.
- 1.6. Пронумеруйте виходи елементів схеми (меню Опции – Отображать на схеме – Номера узлов), та зніміть зображення робочого вікна.
- 1.7. Відобразіть та зніміть зображення часових діаграм роботи схеми (меню Анализ – Анализ переходных процессов).
- 1.8. Зробіть висновки за результатами пункту 1.

2. Дослідження принципу роботи схеми RS – тригера

- 2.1. Розмістіть на робочому полі RS – тригер (елемент SRFF з вкладок Digital Primitives – Gated Flip-Flops/Latches).
- 2.2. Приєднайте до входів CLRS, PREB та GATE вихід елемента логічної одиниці (елемент Pullup з вкладок Digital Primitives – Pullups/Pulldowns).
- 2.3. Приєднайте до R та S входів тригера два генератора тактових імпульсів (елемент GClock з вкладок Digital Primitives – Stimulus Generators)
- 2.4. У генераторі, що під'єднаний до R входу удвічі збільшить тривалість паузи у порівнянні з попереднім пунктом (стрічка Param:ONEWIDTH= у меню генератора).
- 2.5. У генераторі, що під'єднаний до S входу удвічі збільшить тривалість імпульсу у порівнянні з попереднім пунктом (стрічка Param:ZEROWIDTH= у меню генератора).
- 2.6. Пронумеруйте виходи елементів схеми та зніміть зображення робочого вікна.
- 2.7. Відобразіть та зніміть зображення часових діаграм роботи схеми.

2.8. Зробіть висновки за результатами пункту 2.

3. Дослідження принципу роботи схеми D – тригера

3.1. Розмістіть на робочому полі D – тригер (елемент DFF з вкладок Digital Primitives – Edge-Triggered Flip-Flops).

3.2. Приєднайте до входів CLR та PREB вихід елементу логічної одиниці (елемент Pullup з вкладок Digital Primitives – Pullups/Pulldowns).

3.3. Приєднайте до D входу тригера генератор тактових імпульсів, що працює з періодом, що в тричі більший за період, приведений в таб 1 (елемент GClock з вкладок Digital Primitives – Stimulus Generators).

3.4. Приєднайте до GATE входу тригера генератор тактових імпульсів, що працює з періодом сигналу, що рівний періоду, приведеному в таб 1 (елемент GClock з вкладок Digital Primitives – Stimulus Generators).

3.5. Пронумеруйте виходи елементів схеми та зніміть зображення робочого вікна.

3.6. Відобразіть та зніміть зображення часових діаграм роботи схеми.

3.7. Зробіть висновки за результатами пункту 3.

4. Дослідження подільника частоти на базі D – тригера

4.1. Розмістіть на робочому полі D – тригер (елемент DFF з вкладок Digital Primitives – Edge-Triggered Flip-Flops).

4.2. З'єднайте QB вихід з D входом тригера.

4.3. Приєднайте до GATE входу тригера генератор тактових імпульсів, що працює з періодом сигналу, що рівний періоду, приведеному в таб 1 (елемент GClock з вкладок Digital Primitives – Stimulus Generators).

4.4. Пронумеруйте виходи елементів схеми та зніміть зображення робочого вікна.

4.5. Відобразіть та зніміть зображення часових діаграм роботи схеми.

4.6. Зробіть висновки за результатами пункту 4.

5. Дослідження принципу роботи двійкового лічильника

5.1. Розмістіть на робочому полі двійковий лічильник (елемент 74HC93 з вкладок Digital Library – 74xx42 – 93-).

5.2. Приєднайте до входів MR1 та MR2 лічильника вихід елементу «Земля» (елемент Ground з вкладок Analog Primitives – Connectors).

5.3. Приєднайте до P0BAR входу лічильника генератор тактових імпульсів, що працює з періодом сигналу, що рівний періоду, приведеному в таб 1 (елемент GClock з вкладок Digital Primitives – Stimulus Generators).

5.4. З'єднати вихід лічильника Q0 з входом P1BAR.

5.5. Пронумеруйте виходи елементів схеми та зніміть зображення робочого вікна.

5.6. Відобразіть та зніміть зображення часових діаграм роботи схеми.

5.7. Зробіть висновки за результатами пункту 5.

6. Дослідження принципу роботи цифро-аналогового перетворювача.

6.1. Розмістіть на робочому полі двійковий лічильник (елемент 74HC93 з вкладок Digital Library – 74xx42 – 93-).

6.2. Приєднайте до входів MR1 та MR2 лічильника вихід елементу «Земля» (елемент Ground з вкладок Analog Primitives – Connectors).

6.3. Приєднайте до P0BAR входу лічильника генератор тактових імпульсів, що працює з частотою, вказаною в таб. 1 (елемент GClock з вкладок Digital Primitives – Stimulus Generators).

6.4. З'єднати вихід лічильника Q0 з входом P1BAR.

6.5. Розмістіть на робочому полі двійковий цифро-аналоговий перетворювач (елемент DtoA4 з вкладок Digital Primitives – DtoA Converters).

6.6. З'єднайте виходи двійкового лічильника QA – QD з входами цифро-аналогового перетворювача In0 – In3 відповідно.

6.7. Приєднайте до Gnd входу ЦАП вихід елементу «Земля» (елемент Ground з вкладок Analog Primitives – Connectors).

6.8. Приєднайте до Ref входу ЦАП вихід елементу логічної одиниці (елемент Pullup з вкладок Digital Primitives – Pullups/Pulldowns).

6.9. Пронумеруйте виходи елементів схеми та зніміть зображення робочого вікна.

6.10. Відобразіть та зніміть зображення часових діаграм роботи схеми.

6.11. Зробіть висновки за результатами пункту 6.

7. Дослідження принципу роботи аналогового компаратора.

7.1. Розмістіть на робочому полі аналоговий компаратор (елемент Comparator з вкладок Analog Primitives – Macros).

7.2. Встановіть наступні параметри у меню компаратора: Param:VIL=0, Param:VIH=0, Param:VOL=0, Param:VOH=2.

7.3. Розмістіть на робочому полі двійковий лічильник (елемент 74HC93 з вкладок Digital Library – 74xx42 – 93-).

7.4. Приєднайте до входів MR1 та MR2 лічильника вихід елементу «Земля» (елемент Ground з вкладок Analog Primitives – Connectors).

7.5. Приєднайте до P0BAR входу лічильника генератор тактових імпульсів, що працює з частотою, вказаною в таб. 1 (елемент GClock з вкладок Digital Primitives – Stimulus Generators).

7.6. З'єднати вихід лічильника Q0 з входом P1BAR.

7.7. Розмістіть на робочому полі двійковий цифро-аналоговий перетворювач (елемент DtoA4 з вкладок Digital Primitives – DtoA Converters).

7.8. З'єднайте виходи двійкового лічильника QA – QD з входами цифро-аналогового перетворювача In0 – In3 відповідно.

7.9. Приєднайте до Gnd входу ЦАП вихід елементу «Земля» (елемент Ground з вкладок Analog Primitives – Connectors).

7.10. Приєднайте до Ref входу ЦАП вихід елементу логічної одиниці (елемент Pullup з вкладок Digital Primitives – Pullups/Pulldowns).

7.11. Приєднайте вихід ЦАП до додатного (+) входу компаратора.

7.12. Розмістіть на робочому полі задавач аналогового сигналу (елемент Fixed Analog з вкладок Analog Primitives – Waveform Sources).

7.13. Встановіть наступні параметри у меню задавач аналогового сигналу: VALUE=1.

7.14. Пронумеруйте виходи елементів схеми та зніміть зображення робочого вікна.

7.15. Відобразіть та зніміть зображення часових діаграм роботи схеми.

7.16. Зробіть висновки за результатами пункту 6.

8. Зробіть загальні висновки за результатами виконання лабораторної роботи.

ТЕОРЕТИЧНІ ВІДОМОСТІ

ЛОГІЧНІ ЕЛЕМЕНТИ

Логічний елемент – це електронний прилад, що реалізує одну з логічних функцій. В склад серій мікросхем, що розглядаються, входить велике число логічних елементів. На принциповій схемі логічний елемент зображають прямокутником, всередині якого ставиться зображення покажчика функції. Лінії з лівої сторони прямокутника показують входи, з правої - вихід елемента. На рисунку 1 зображені основні логічні елементи, що використовуються у цифрових приладах:

Елемент І (кон'юнктор);

$$y = x_1 \cdot x_2 \text{ (а)}$$

елемент АБО (диз'юнктор)

$$y = x_1 \vee x_2 \text{ (б);}$$

елемент НІ (інвертор 1)

$$y = \bar{x} \text{ (в).}$$

Окрім означених існує множина логічних елементів, що виконують більш складні логічні перетворення. Ці перетворення є комбінаціями найпростіших логічних операцій. До числа таких елементів відносяться:

елемент І-НІ $y = \overline{x_1 \cdot x_2}$

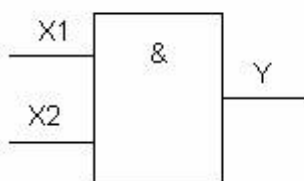
елемент АБО-НІ $y = \overline{x_1 \vee x_2}$

елемент І-АБО $y = x_1 \cdot x_2 \vee x_3 \cdot x_4$

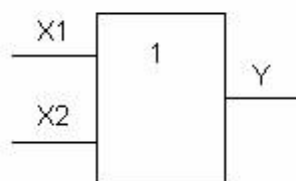
елемент І-АБО-НІ $y = \overline{x_1 \cdot x_2 \vee x_3 \cdot x_4}$

суматор за модулем 2 $y = \overline{x_1} \cdot x_2 \vee x_1 \cdot \overline{x_2}$

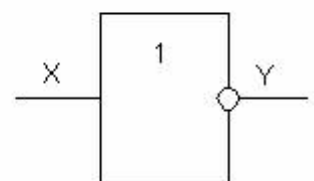
а)



б)



в)



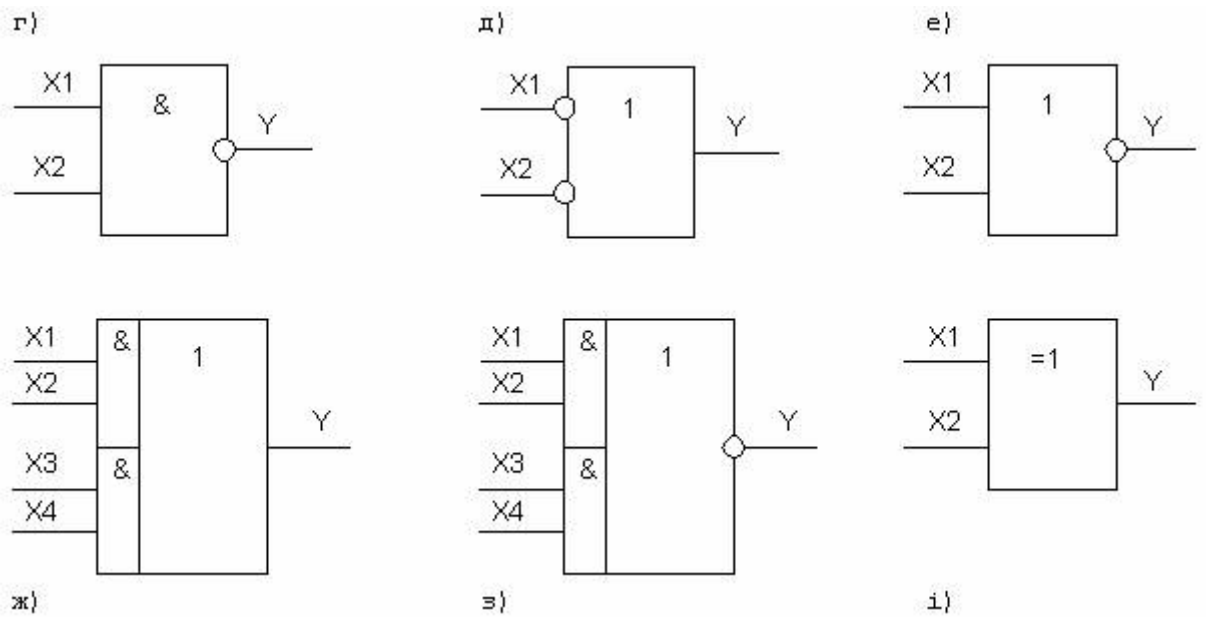


Рисунок 9.1 – Графічні позначення логічних елементів

Суматор за модулем 2 можна виконати на логічних елементах І, АБО, НІ (рисунок 9.2).

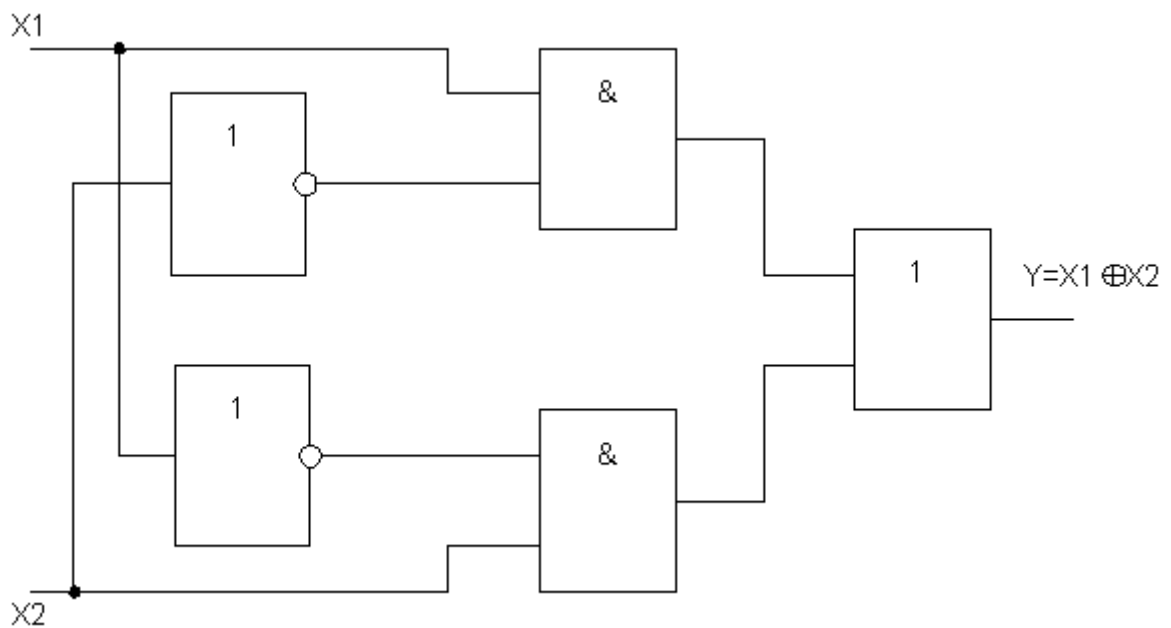


Рисунок 9.2 – Схема суматора за модулем 2

Число входів в логічних елементах різного призначення може бути різним, але входи кожного елемента рівнозначні. Деякі з них можуть при роботі в конкретних приладах не використовуватися. Входи, які не використовуються в схемах І, І-НІ з'єднують із +Uдж., а в схемах АБО, АБО-НІ, суматора за модулем 2 – із загальним проводом (0 В).

На рисунку 9.3 наведені приклади умовного позначення логічних елементів різних серій.

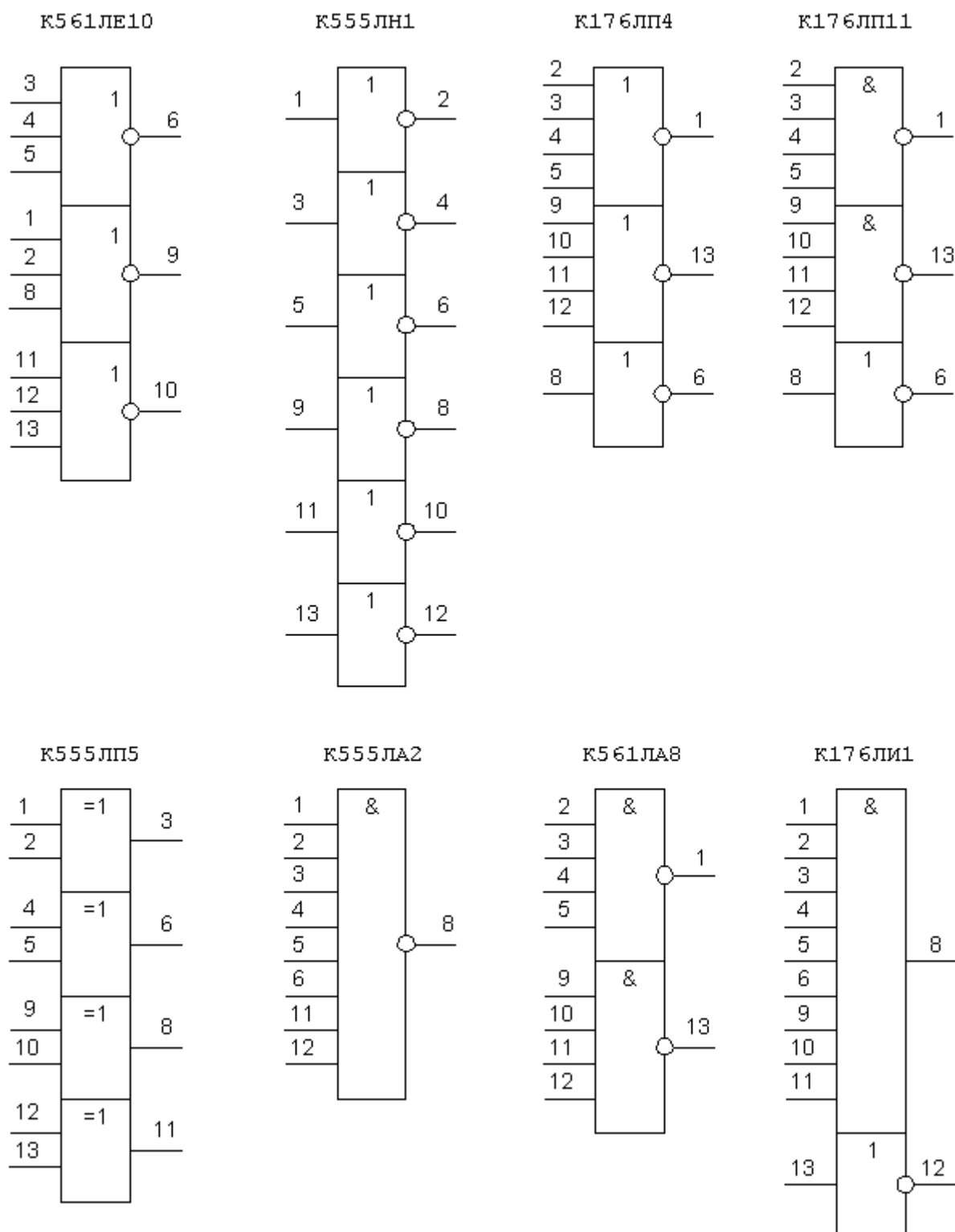


Рисунок 9.3 – Приклади графічного позначення логічних елементів різних серій

ТРИГЕРИ ТА ЇХНІ ХАРАКТЕРИСТИКИ

Найпростішими цифровими автоматами із пам'яттю є тригери. Тригер - це прилад послідовнісного типу з двома стійкими станами рівноваги, призначений для запису і зберігання інформації. Під дією вхідних сигналів тригер може переходити з одного стійкого стану в інший. При цьому напруга на його виході стрибкоподібно змінюється.

Як правило, тригер має два виходи – прямий та інверсний. Число входів залежить від структури і функцій, що виконуються тригером. За способом запису інформації тригери поділяють на асинхронні і синхронізовані (тактовані). В асинхронних тригерах інформація може записуватися безперервно і визначається інформаційними сигналами, діючими на входах у даний момент часу. Якщо інформація заноситься в тригер тільки в момент дії так званого синхронізуючого сигналу, то такий тригер називають синхронізованим або тактованим. Окрім інформаційних входів, синхронізовані тригери мають тактовий вхід (вхід синхронізації). В цифровій техніці прийняті такі позначення входів та виходів тригерів:

Q – прямий вихід тригера;

\bar{Q} - інверсний вихід тригера;

S - роздільний вхід установки в одиничний стан (напруга високого рівня на прямому виході Q);

R - роздільний вхід установки в нульовий стан (напруга низького рівня на прямому виході Q);

D - інформаційний вхід (на нього подається інформація, призначена для занесення в тригер);

C - вхід синхронізації;

T - лічильний вхід.

Найбільше розповсюдження в цифрових приладах отримали RS-тригер з двома установчими входами, тактований D-тригер і лічильний T-тригер. Розглянемо функціональні можливості кожного з них.

Асинхронний RS-тригер. В залежності від логічної структури розрізняють RS-тригери з прямими і інверсними входами. Їхні схеми і умовні позначення наведені на рисунку 4. Тригери такого типу побудовані на двох логічних елементах: 2АБО-НІ - тригер з прямими входами (рисунок 9.4, а), 2І-НІ - тригер з інверсними входами (рисунок 9.4, б). Вихід кожного з елементів під'єднаний до одного з входів іншого елемента, що забезпечує тригеру два стійких стани. Наведена таблиця 9.1 істинності для кожного з цих тригерів.

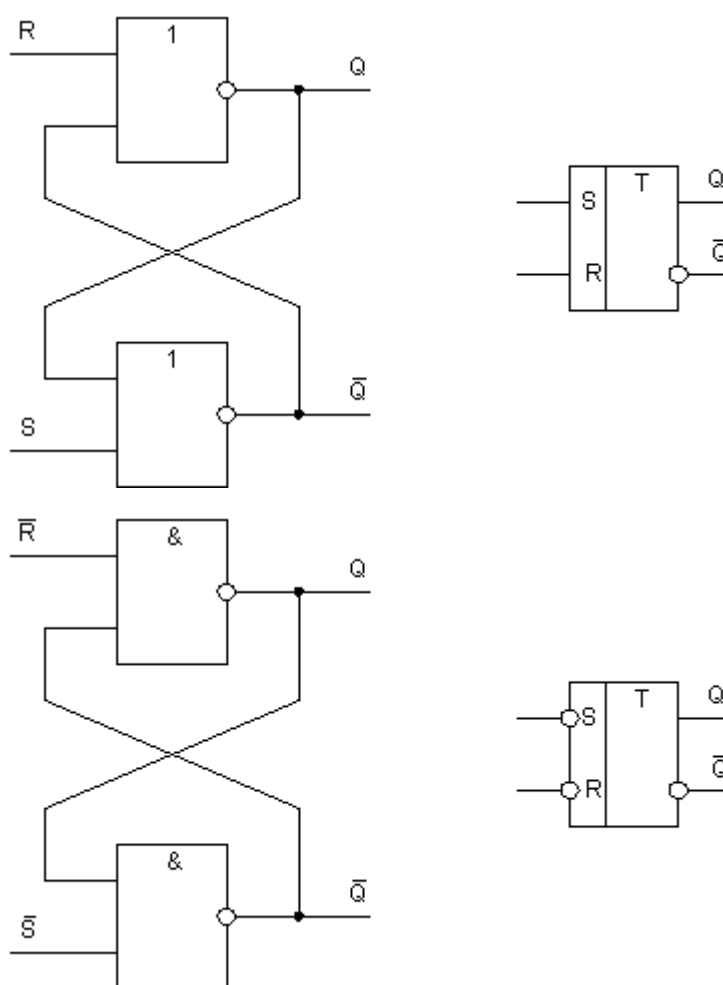


Рисунок 9.4 – Схеми та умовні позначення RS-тригерів

Таблиця 9.1 – Таблиці істинності асинхронних RS-тригерів

S	R	Q	Q^{-t}	Q^{t+1}	Q^{-t+1}	\bar{S}	\bar{R}	Q	Q^{-t}	Q^{t+1}	Q^{-t+1}
0	1	0	1	0	1	0	1	0	1	1	0
1	0	0	1	1	0	1	0	0	1	0	1
0	0	0	1	0	1	0	0	0	1	*	*
1	1	0	1	*	*	1	1	0	1	0	1
0	1	1	0	0	1	0	1	1	0	1	0
1	0	1	0	1	0	1	0	1	0	0	1
0	0	1	0	1	0	0	0	1	0	*	*
1	1	1	0	*	*	1	1	1	0	0	1

В таблиці 9.1 Q_t і Q_t' позначають рівні, які були на виході тригера до подачі на його входи так званих активних рівнів. Активним називають логічний рівень, що діє на вході логічного елемента і однозначно визначає логічний рівень вихідного сигналу (незалежно від логічних рівнів, що діють на інших входах). Для елементів АБО-НІ за активний рівень приймають високий рівень, а для елементів І-НІ - низький рівень. Рівні, подача яких на один з входів не призводить до модифікації логічного рівня на виході елемента, називають пасивними. Рівні Q_{t+1} і Q_{t+1}' позначають логічні рівні на виході тригера після подачі інформації на його входи. Для тригера з прямими входами $Q_{t+1}=1$ при $S=1$ і $R=0$; $Q_{t+1}=0$ при $S=0$ і $R=1$; $Q_{t+1}=Q_t$ при $S=0$ і $R=0$. При $R=S=1$ стан тригера буде невизначеним (*), бо під час дії інформаційних сигналів логічні рівні на виході тригера однакові $Q_{t+1}=Q_{t+1}'$, а після закінчення їхньої дії тригер може рівноймовірно прийняти будь-який із стійких станів. Тому така комбінація є забороненою.

Режим $S=1$, $R=0$ називають режимом запису 1 (бо $Q_{t+1}=1$); режим $S=0$ і $R=1$ - режимом запису 0. Режим $S=0$, $R=0$ називається режимом зберігання інформації, бо інформація на виході залишається незмінною. Для тригера з інве-

рними входами режим запису логічної 1 реалізується при $S=0, R=1$, режим запису логічного 0 - при $S=1, R=0$. При $S=R=1$ забезпечується зберігання інформації. Комбінація $S=R=0$ є забороненою.

Тактовий D-тригер. Він має інформаційний вихід і вхід синхронізації. Одна із можливих структурних схем одноканального D-тригера і його умовне позначення наведено на рисунку 9.5.

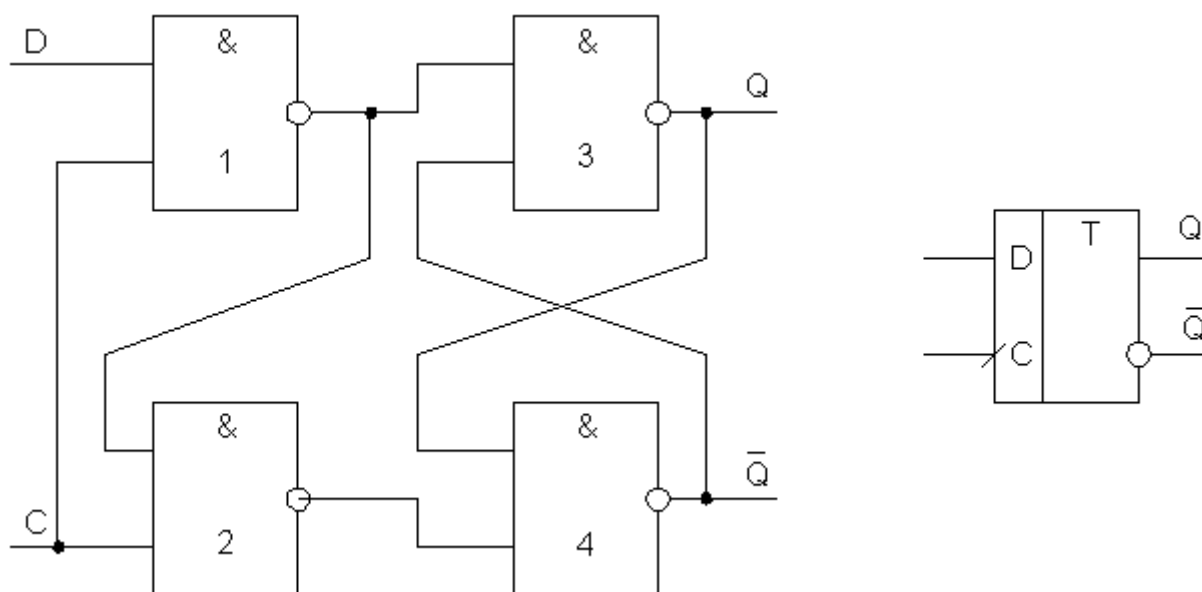


Рисунок 9.5 – Схема та умовне позначення тактового D-тригера

Якщо рівень сигналу на вході $C=0$, стан тригера стійкий і не залежить від рівня сигналу на інформаційному вході. При цьому на входи RS-тригера з інверсними входами (елементи 3 і 4) надходять пасивні рівні ($S=R=1$). При подачі на вхід синхронізації рівня $C=1$ інформація на прямому виході буде повторювати інформацію, що подається на вхід D. Таким чином, при $C=0$ $Q_{t+1}=Q_t$, а при $C=1$ $Q_{t+1}=D$ (таблиця 9.2).

Таблиця 9.2 – Таблиця істинності тактового D-тригера

D	Q	Q ^{t+1}
0	0	0
0	1	0
1	0	1
1	1	1

Тут Q_t означає логічний рівень на прямому виході до подачі імпульсу синхронізації, а Q_{t+1} - логічний рівень на цьому виході після подачі імпульсу синхронізації.

В такому тригері відбувається затримка сигналу на виході по відношенню до сигналу, поданого на вхід, під час паузи між синхросигналами. Для стійкої роботи тригера необхідно, щоб протягом синхроімпульса інформація на вході була незмінною.

Тактові D-тригери можуть бути з потенційним і динамічним управлінням. У перших з них інформація записується протягом часу, при якому рівень сигналу $C=1$. В тригерах з динамічним управлінням інформація записується тільки протягом перепаду напруги на вході синхронізації. Динамічні входи зображають на схемах трикутником. Якщо верхівка трикутника звернута в сторону мікросхеми, то тригер «спрацьовує» по фронту вхідного імпульсу, якщо від неї - по зрізу імпульсу. В такому тригері інформація на виході може бути затримана на один такт по відношенню до вхідної інформації.

Лічильний T-тригер (рисунок 9.6). Його називають також тригером зі лічильним входом. Він має один вхід керування T і два виходи Q і Q'. Інформація на виході такого тригера змінює свій знак на протилежний при кожному позитивному (або при кожному негативному) перепаді напруги на вході. В серії мікросхем, що випускаються, T-тригерів, як правило, немає. Але тригер такого типу може бути створений на базі тактового D-тригера, якщо його інверсний вихід з'єднати з інформаційним входом. Як видно з діаграми, частота сигналу на виході T-тригера в два рази нижче частоти сигналу на вході, тому такий тригер можна використовувати як подільник частоти і двійковий лічильник.

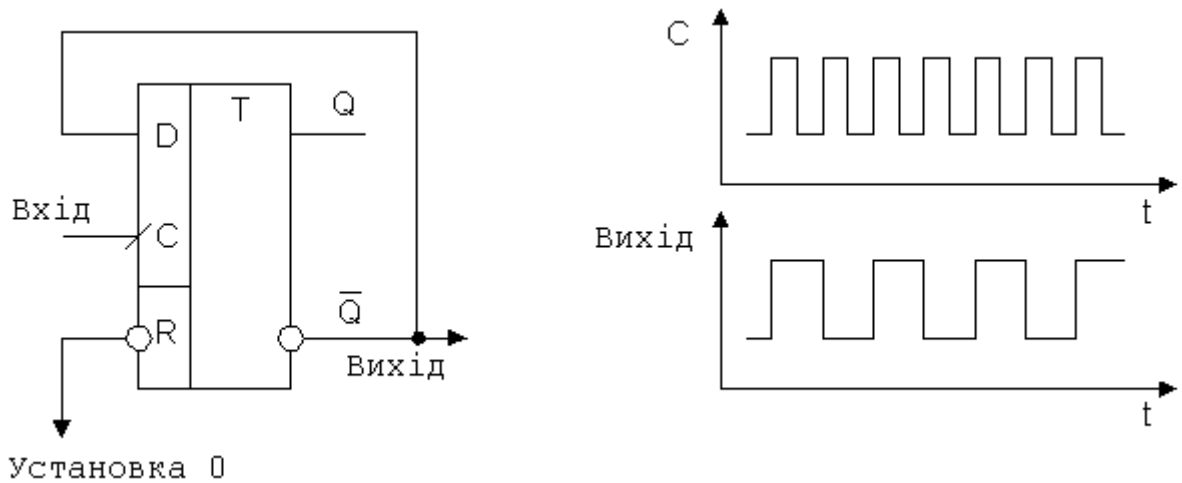
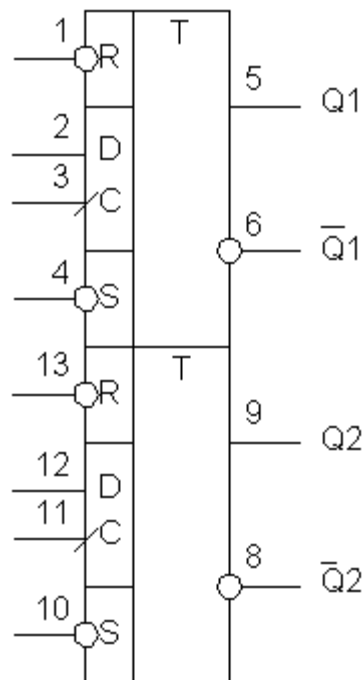


Рисунок 9.6 - Лічильний тригер

В серіях мікросхем, що випускаються, є також універсальні JK-тригери. При відповідному під'єднанні вхідної логіки JK-тригер може виконувати функції тригера будь-якого іншого типу.

Умовні графічні позначення тригерів на принципових схемах наведені на рисунку 9.7.



**Рисунок 9.7 – Графічні позначення тригерів
ЛІЧІЛЬНИКИ**

Лічильником називають прилад, призначений для підрахунку числа імпульсів, поданих на вхід. Вони, як і зсувні регістри, складаються з ланцюжка три-

герів. Розрядність лічильника, а отже, і число тригерів, визначається максимальним числом, до якого він рахує.

Регістр зсуву можна перетворити в кільцевий лічильник, якщо вихід останнього тригера з'єднати з входом D першого. Схема такого лічильника на N розрядів наведена на рисунку 9.8. Перед початком підрахунку імпульсом початкової установки в нульовий розряд лічильника (Q0) записується логічна 1, в інші розряди — логічні 0. З початком рахунку кожний з лічильних імпульсів T, що приходять, перезаписує 1 в наступний тригер, і число імпульсів, що надійшли, визначається за номером виходу, на якому є 1. Передостанній (N-1) імпульс переведе в одиничний стан останній тригер, а N-ний імпульс перенесе цей стан на вихід нульового тригера, і підрахунок розпочнеться спочатку. Таким чином, можна побудувати кільцевий лічильник з довільним коефіцієнтом перерахунку (будь-якою основою числення), змінюючи лише число тригерів в ланцюжку.

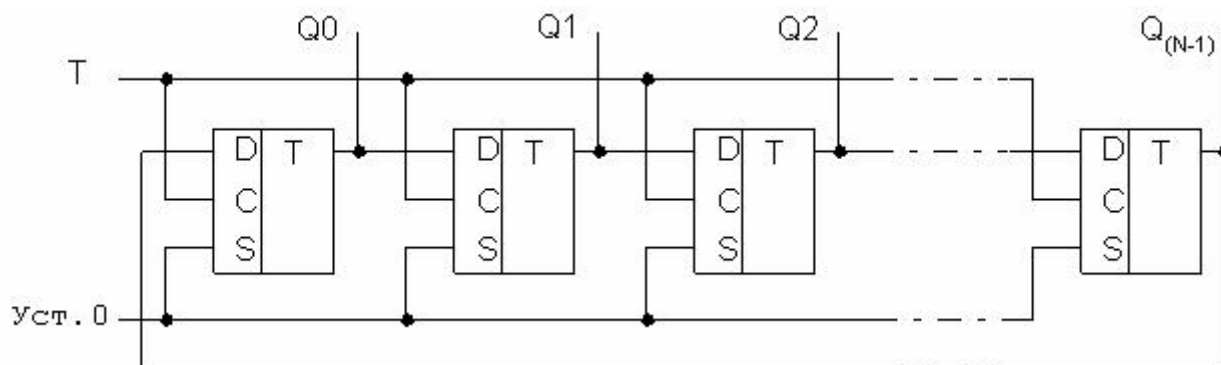


Рисунок 9.8 – Кільцевий лічильник на регістрі зсуву

Недолік такого лічильника - велике число тригерів, необхідних для його побудови. Більш економічні, а тому і більш розповсюджені лічильники, які побудовані на лічильних T-тригерах. Після кожного тактового імпульсу T сигнал на вході D змінюється на протилежний і тому частота вихідних імпульсів вдвічі менша частоти імпульсів, що надходять. Зібравши послідовний ланцюжок з n лічильних тригерів (з'єднуючи вихід попереднього тригера із входом C наступного), ми отримаємо частоту $f_{вих} = f_{вх} / 2^n$. При цьому кожний вхідний імпульс змінює код числа на виході лічильника на 1 в інтервалі від 0 до $N = 2^n - 1$.

Мікросхема К555ИЕ5 (рисунок 9.9) містить лічильний тригер (вхід С1) і подільник на вісім (вхід С2), створений трьома з'єднаними послідовно тригерами. Тригери спрацьовують по зрізу вхідного імпульсу (по переходу з 1 в 0). Якщо з'єднати послідовно всі чотири тригери, то одержимо лічильник за модулем $24=16$. Максимальне число, що зберігається в лічильнику при повному заповненні його одиницями дорівнює $N=24-1=15=(1111)_2$. Такий лічильник працює з коефіцієнтом рахунку К (модулем), кратним цілій степені 2, і в ньому відбувається циклічний перебір $K=2n$ стійких станів. Лічильник має входи примусової установки в 0.

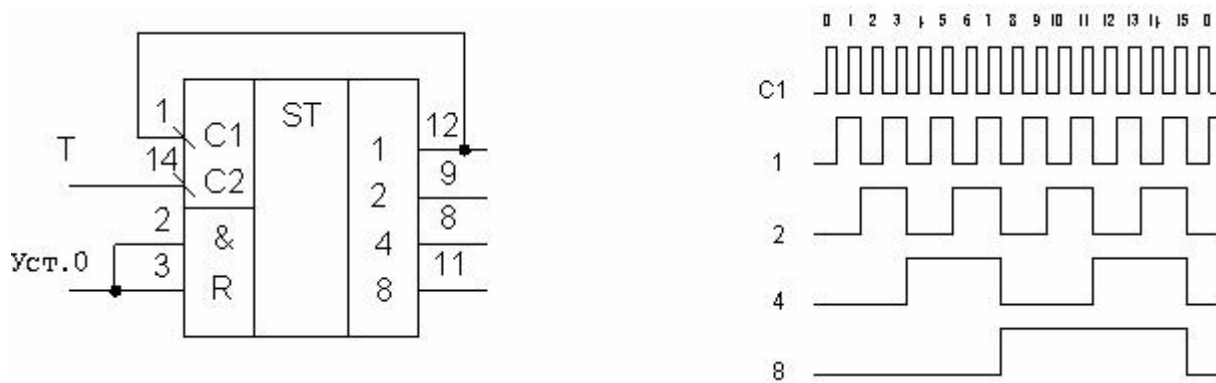


Рисунок 9.9 – Лічильник з коефіцієнтом перерахування 16 і його часова діаграма

Часто потрібні лічильники з числом стійких станів, відмінним від $2n$. Наприклад, в електронних годинниках є мікросхеми з коефіцієнтом рахунку 6 (десятки хвилин), 10 (одиниці хвилин), 7 (дні тижня), 24 (години). Для побудови лічильника з модулем $K \neq 2n$ можна використати прилад з n тригерів, для якого виконується умова $2n > K$. Очевидно, такий лічильник може мати зайві стійкі стани ($2n-K$). Виключити ці непотрібні стани можна використанням зворотних зв'язків, по колах яких лічильник перемикається в нульовий стан в тому такті роботи, коли він дораховує до числа K .

Для лічильника з $K=10$ потрібні чотири тригери (бо $23 < 10 < 24$). Лічильник повинен мати десять стійких станів $N=0, 1, \dots, 8, 9$. В тому такті, в якому він повинен був би перейти в одинадцятий стійкий стан ($N=10$), його необхідно перевести в вихідний нульовий стан. Для такого лічильника можна використа-

ти мікросхему К555ИЕ5 (рисунок 9.10), ввівши коло зворотного зв'язку з виходу лічильника, відповідних числу 10 (тобто 2 і 8), на входи установки лічильника в 0 (вхід R). В самому початку 11-го стану (число 10) на обох входах елемента і мікросхеми з'являються логічні одиниці (так звана «просічка» на виході «2»), що генерує сигнал переходу всіх тригерів лічильника в нульовий стан.

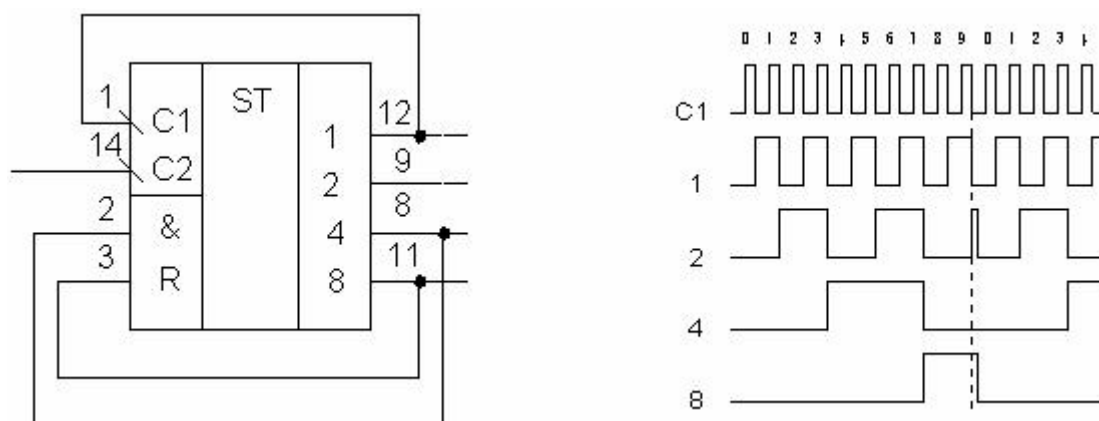


Рисунок 9.10 – Двійково-десятьковий лічильник і часова діаграма його роботи

В усіх серіях цифрових мікросхем є лічильники з внутрішньою організацією найбільш «ходових» коефіцієнтів перерахування, наприклад в мікросхемах К555ИЕ2 і К555ИЕ6 $K=10$, в мікросхемі К555ИЕ4 $K=2 \times 6=12$.

Як видно з схем і діаграм (рисунки 9.8 – 9.10), лічильники можуть виконувати функції подільників частоти, тобто приладів, що формують з імпульсної послідовності з частотою $f_{вх}$ імпульсну послідовність, на виході останнього тригера, з частотою $f_{вих}$, в K разів меншу за вхідну. При такому використанні лічильників немає необхідності знати, яке число в ньому записане в поточний момент, тому подільники в деяких випадках можуть бути значно простіші за лічильники. Наприклад, мікросхема К555ИЕ1 - це подільник на 10, а К555ИЕ8 - подільник із змінним коефіцієнтом ділення $K=64/n$, де $n=1 \dots 63$.

Крім розглянутих лічильників, що підсумовують, широко застосовують реверсивні лічильники на мікросхемах К555ИЕ6, К555ИЕ7, у яких в залежності від режиму роботи вміст лічильника або збільшується на одиницю (режим додавання), або зменшується на одиницю (режим віднімання) після приходу чергового лічильного імпульсу.

Мікросхема К555ІЕ1 (рисунок 9.11) – подільник на 10. Установка її тригерів в 0 здійснюється одночасною подачею високого рівня на входи 1 і 2 (елемент І). Лічильні імпульси подають на вхід 8 або 9 (при цьому на іншому вході повинен бути високий рівень), або водночас на обидва входи (елемент і).

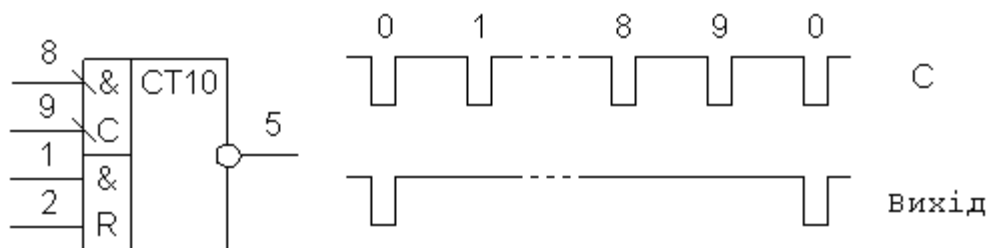


Рисунок 9.11 – Подільник частоти

У склад мікросхеми К555ІЕ2 (рисунок 9.13) входять тригер з лічильним входом (вхід С1) і подільник на 5 (вхід С2). При з'єднанні виходу лічильного тригера із входом С2 утвориться двійково-десятковий лічильник (діаграма його роботи аналогічна діаграмі на рисунку 9.10). Підрахунок відбувається по зрізу імпульсу. Лічильник має входи установки в 0 (R0 з логікою І) і входи установки в 9 (R9 з логікою І).

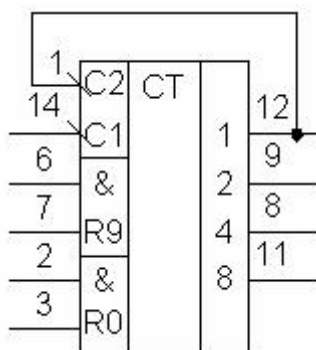


Рисунок 9.12 – Двійково-десятковий лічильник

В мікросхему К555ІЕ4 (рисунок 9.13) входять лічильний тригер і подільник на 6.

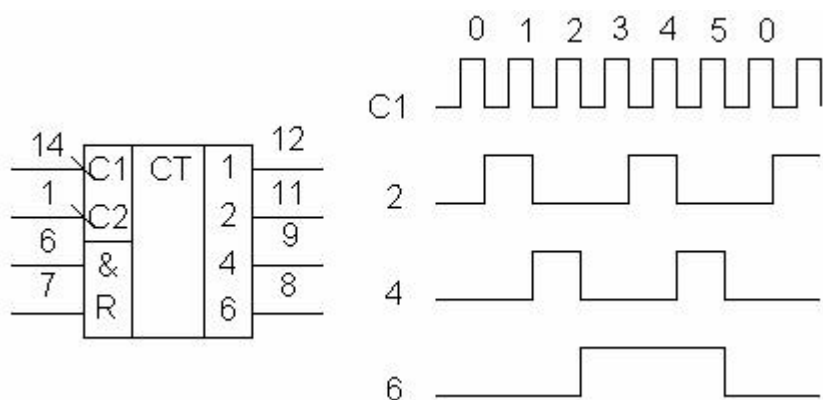


Рисунок 9.13 – Лічильник на мікросхемі К555ІЕ4 та часова діаграма його роботи

Мікросхеми К555ІЕ6 і К555ІЕ7 – реверсивні лічильники з попереднім записом; перший із них - двійково-десятковий, другий – чотири розрядний двійковий. Установка їх в 0 відбувається при високому рівні на вході R. В лічильник можна записати число, двійковий код якого поданий на входи D1-D4 (в К555ІЕ6 від 0 до 9, в К555ІЕ7 від 0 до 15). Для цього на вхід S необхідно подати низький рівень (на входах С1 і С2 - високий рівень, на вході R - низький). Рахування почнеться із записаного числа по імпульсах низького рівня, що подаються на вхід С1 (в режимі додавання) або С2 (в режимі віднімання). інформація на виході змінюється по фронту лічильного імпульсу. При цьому на другому лічильному вході і вході S повинен бути високий рівень, на вході R - низький, а стан входів D байдужий. Водночас з кожним десятим (шістнадцятим) на вході С1 імпульсом на виході Р1 з'являється вихідний імпульс, який його повторює, що може подаватися на вхід наступного лічильника. В режимі віднімання водночас з кожним імпульсом на вході С2, що переводить лічильник в стан 9 (15), на виході Р2 з'являється вихідний імпульс. Часова діаграма роботи лічильника наведена на рис. 9.15. На діаграмі в режимі паралельного запису (S=0) було записане число 6 (високий рівень на входах D2 і D3).

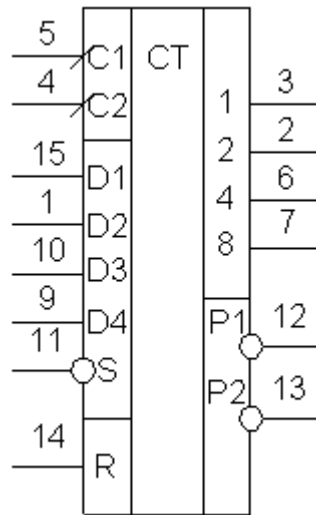
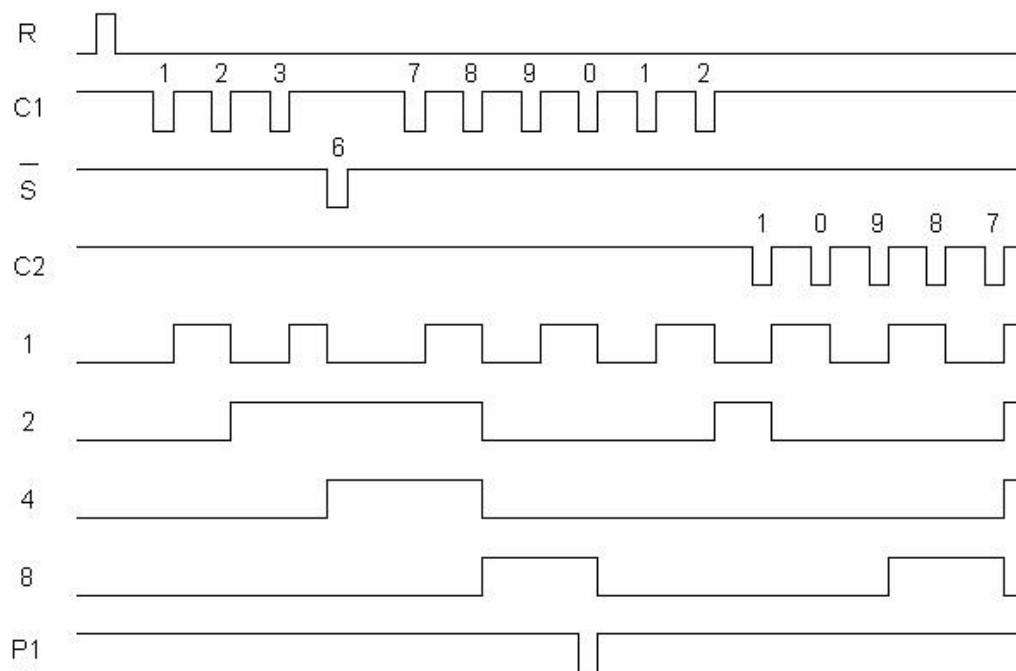


Рисунок 9.14 – Реверсивний лічильник

Для правильної роботи цих і всіх інших лічильників, виконаних за КМОН- технологією (серії К164, К176, К564, К561), необхідно після ввімкнення живлення (або після зниження напруги джерела живлення до 3 В) встановлювати їх у вихідний нульовий стан подачею імпульсу високого рівня на вхід R. В протилежному випадку лічильники можуть працювати із випадковими коефіцієнтами перерахування. Імпульс скиду після ввімкнення живлення може подаватися автоматично, якщо ввести часозадаюче RC-коло та інвертор (рисунок 9.15).



**Рисунок 9.15 – Часова діаграма роботи лічильників К555ИЕ6,
К555ИЕ7**

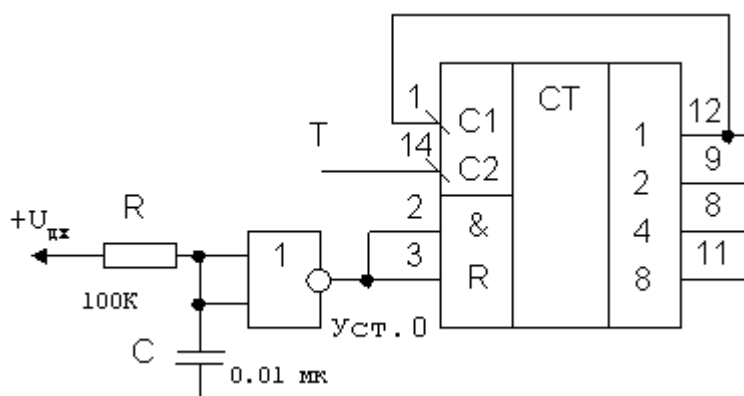


Рисунок 9.16 – Схема скиду лічильника в 0

Мікросхеми К176ИЕ3 і К176ИЕ4 (рисунок 9.17) є лічильниками за модулем 6 і 10 з дешифратором, працюючим на семисегментний індикатор. Їхні корпуси однакові, тільки на місці виходу 2 і 6 (виводи 3 і 2) лічильника К176ИЕ3 у десяткового лічильника К176ИЕ4 вихід 4 і 10. Лічильні імпульси подаються на вхід Т. Напряга на виході може бути як в прямому (при С=0), так і в зворотному (при С=1) коді, що дозволяє під'єднати до лічильника індикатори із спільним катодом або спільним анодом. Лічильники можна використовувати спільно з рідиннокристалічними індикаторами. У цьому випадку на вхід С подають меандр з частотою $f > 50$ Гц. При послідовному з'єднанні лічильників сигнал знімається з виходу 6 (К176ИЕ3) або 10 (К176ИЕ4).

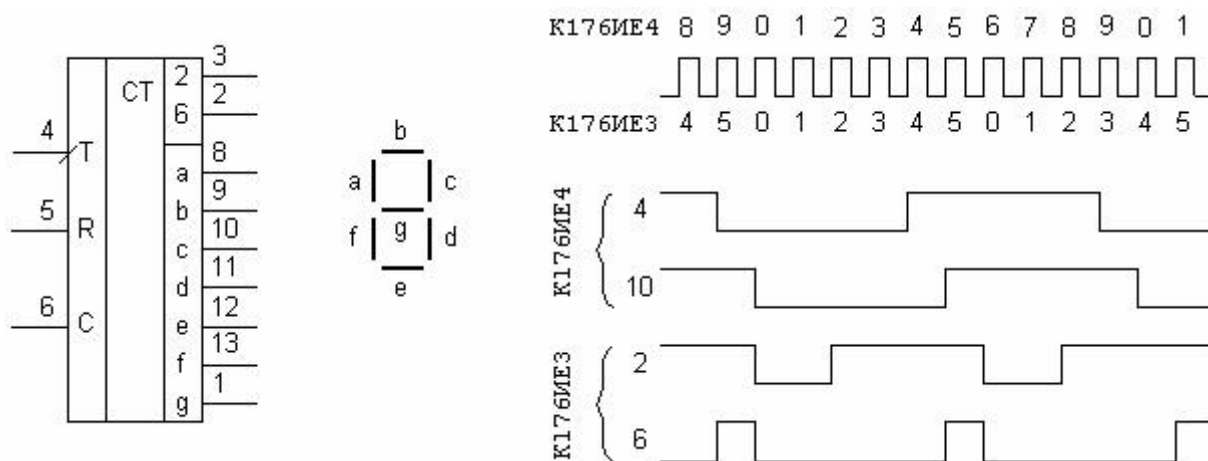


Рисунок 9.17 – Лічильник за модулем 6 (10) з дешифратором та часові діаграми його роботи

Контрольні питання і завдання:

1. У чому полягає відмінність між цифровими та аналоговими пристроями?
2. Назвіть найпростіші цифрові елементи.
3. Що таке тригер? Які типи тригерів ви знаєте?
4. Зобразіть таблицю істинності T-тригера.
5. Зобразіть таблицю істинності D-тригера.
6. Зобразіть таблицю істинності RS-тригера.
7. Що таке подільник частоти. Розробіть схему подільника частоти на 2; 4; 5; 6.
8. Що таке двійковий лічильник? Зобразіть часові діаграми нереверсивного двійкового лічильника.
9. Зобразіть схему двійкового нереверсивного лічильника, зібраного з T-тригерів.

ЛІТЕРАТУРА

1. Основи метрології та електричних вимірювань / Підручник: За ред. В. Кухарчука. – Вінниця: УНІВЕРСУМ-Вінниця, 2011. – 531с.
2. Основи метрології та вимірювальної техніки / Підручник: За ред. Б. Стадника. – Львів: Бескид-Біт, 2003. – Т1, 2.
3. Кухарчук В.В., Кучерук В.Ю., Долгополов В.П., Грумінська Л.В. Метрологія та вимірювальна техніка. –Вінниця: ВНТУ, 2004. –252с.